

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

012678603      \*\*Image available\*\*

WPI Acc No: 1999-484710/199941

XRAM Acc No: C99-142505

XRPX Acc No: N99-361739

Semiconductor thin film formation method for TFT used in electronic machine - involves crystallising two amorphous silicon films by heat treating and by irradiation of laser light, respectively

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 11204435</b>	A	19990730	JP 9818098	A	19980112	199941 B

Priority Applications (No Type Date): JP 9818098 A 19980112

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11204435	A		18 H01L-021/20	

Abstract (Basic): JP 11204435 A

NOVELTY - An amorphous silicon film (101) formed on an insulated substrate (100), is crystallized by heat-treating to form a crystallized silicon film (102). Another amorphous silicon film (103) is formed on the film (102), by etching the film (102). The film (103) is crystallized by irradiation of laser light to form another crystallized silicon film (104).

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for semiconductor device with the thin film formed on the substrate.

USE - For forming crystallized silicon films used as barrier layer of TFT in electronic machine.

ADVANTAGE - Reduces interface state of gate insulating film and barrier layer thus achieving excellent surface flatness. Improves process margin, as energy density of laser light used for crystallization is low. Improves film quality of first crystallized silicon film by crystallizing second amorphous film using irradiation of laser light. Offers reliable semiconductor device with outstanding capability.

DESCRIPTION OF DRAWING(S) - The figure shows semiconductor thin film formation method. (100) Insulated substrate; (101,103) Amorphous silicon films; (102,104) Crystallized silicon films.

Dwg.1/15

Title Terms: SEMICONDUCTOR; THIN; FILM; FORMATION; METHOD; TFT; ELECTRONIC; MACHINE; CRYSTAL; TWO; AMORPHOUS; SILICON; FILM; HEAT; TREAT; IRRADIATE; LASER; LIGHT; RESPECTIVE

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/20

International Patent Class (Additional): H01L-021/336; H01L-029/786

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.  
06262854    \*\*Image available\*\*  
SEMICONDUCTOR DEVICE AND PREPARATION OF THE SAME  
PUB. NO.:    11-204435 [JP 11204435 A]  
PUBLISHED:    July 30, 1999 (19990730)  
INVENTOR(s): YAMAZAKI SHUNPEI  
              HAYAKAWA MASAHIKO  
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD  
APPL. NO.:    10-018098 [JP 9818098]  
FILED:        January 12, 1998 (19980112)  
INTL CLASS:   H01L-021/20; H01L-029/786; H01L-021/336

#### ABSTRACT

PROBLEM TO BE SOLVED: To provide a crystalline silicon film having excellent crystallinity and a surface with less ridges, by forming a first crystalline silicon film, then forming an amorphous silicon film thereon, and crystallizing the amorphous silicon film by irradiation with laser beams or the like to form a second crystalline silicon film.

SOLUTION: First, a first amorphous silicon film 101 is crystallized to form a first crystalline silicon film 102. In this case, crystallization by heating processing is preferred. On the first crystalline silicon film 102 thus obtained, a second amorphous silicon film 103 is formed and irradiated with laser beams to form a second crystalline silicon film 104. It is preferred to etch the surface of the first crystalline silicon film 102 to form an excellent surface before forming the second amorphous silicon film 103. Alternatively, it is preferred to form the second amorphous silicon film 103 where an excellent surface immediately after crystallization processing of the first amorphous silicon film 101 is maintained. Thus, good flatness is provided.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204435

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.<sup>a</sup>

識別記号

F I

H 0 1 L 21/20  
29/786  
21/336H 0 1 L 21/20  
29/78

6 2 7 G

審査請求 未請求 請求項の数13 F D (全 18 頁)

(21) 出願番号 特願平10-18098

(22) 出願日 平成10年(1998) 1月12日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 早川 昌彦

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

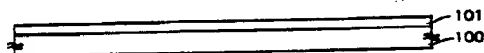
(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【要約】

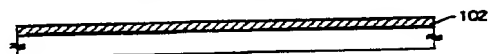
【課題】 本発明は、高い結晶性を有し、且つ、リッジ（凹凸）の少ない平坦な表面を有する結晶性珪素膜を用いた高い特性を有する半導体装置及びその作製方法を提供することを課題とする。

【解決手段】 本発明によれば、熱処理手段を用いて第1の非晶質珪素膜を結晶化させる。こうして得られた第1の結晶性珪素膜を下地としてその上に、第2の非晶質珪素膜を形成し、レーザー光の照射により第2の非晶質珪素膜を結晶化することにより優れた結晶性及びリッジの少ない表面を有する珪素膜が得られる。結晶構造が異なる第1の結晶性珪素膜と第2の結晶性珪素膜とを薄膜トランジスタの活性層として用いる。

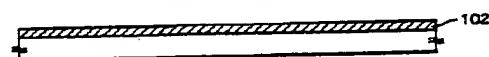
(A) 第1の非晶質珪素膜の形成



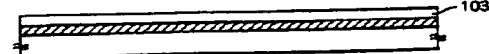
(B) 結晶化のための加熱工程



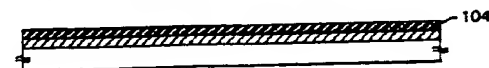
(C) 液相のエッチング工程



(D) 第2の非晶質珪素膜の形成



(E) 結晶化のためのレーザー照射工程



## 【特許請求の範囲】

【請求項1】絶縁表面上に第1の非晶質珪素膜を形成する工程と、加熱処理を施し、前記第1の非晶質珪素膜を結晶化させ第1の結晶性珪素膜を得る工程と、前記第1の結晶性珪素膜上に第2の非晶質珪素膜を形成する工程と、エネルギーを与えることにより、前記第2の非晶質珪素膜を結晶化させ第2の結晶性珪素膜を得る工程と、を有することを特徴とする半導体装置の作製方法。

【請求項2】絶縁表面上に第1の非晶質珪素膜を形成する工程と、加熱処理を施し、前記第1の非晶質珪素膜を結晶化させ第1の結晶性珪素膜を得る工程と、前記第1の結晶性珪素膜の表面をエッチングする工程と、前記第1の結晶性珪素膜上に第2の非晶質珪素膜を形成する工程と、エネルギーを与えることにより、前記第2の非晶質珪素膜を結晶化させ第2の結晶性珪素膜を得る工程と、を有することを特徴とする半導体装置の作製方法。

【請求項3】請求項2において、前記エッチングのエッチャントとしてフッ酸を含むエッチャントを用いることを特徴とする半導体装置の作製方法。

【請求項4】絶縁表面上に第1の非晶質珪素膜を形成する工程と、前記第1の非晶質珪素膜中に珪素の結晶化を助長する金属元素を導入する工程と、加熱処理を施し、前記第1の非晶質珪素膜を結晶化させ第1の結晶性珪素膜を得る工程と、前記第1の結晶性珪素膜上に第2の非晶質珪素膜を形成する工程と、エネルギーを与えることにより、前記第2の非晶質珪素膜を結晶化させ第2の結晶性珪素膜を得る工程と、を有することを特徴とする半導体装置の作製方法。

【請求項5】請求項4において、珪素の結晶化を助長する金属元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Auから選ばれた一種類または複数種類の元素が利用されることを特徴とする半導体装置の作製方法。

【請求項6】請求項4において、珪素の結晶化を助長する金属元素としてニッケルが利用されることを特徴とする半導体装置の作製方法。

【請求項7】請求項1乃至6において、第2の非晶質珪素膜の結晶化は、第1の結晶性珪素膜の表面を結晶成長の核としていることを特徴とする半導体装置の作製方法。

【請求項8】請求項1乃至7において、エネルギーを与える方法として、レーザー光の照射する方法を利用することを特徴とする半導体装置の作製方法。

【請求項9】請求項1乃至8において、エネルギーを与える方法として、レーザー光の照射と同時にまたは段階的に、強光の照射、加熱から選ばれた1種類または複数種類の方法を利用することを特徴とする半導体装置の作製方法。

【請求項10】請求項8または請求項9において、前記レーザー光の照射エネルギー密度は、100～300 m

J/cm<sup>2</sup>であることを特徴とする半導体装置の作製方法。

【請求項11】絶縁基板上に、半導体薄膜からなる活性層、ゲート絶縁膜、ゲート電極を有する半導体装置において、前記活性層は、第1の結晶性珪素膜と、該珪素膜に積層された第2の結晶性珪素膜とからなる積層構造を有しており、前記第1の結晶性珪素膜は、加熱により結晶化された結晶構造を有し、前記第2の結晶性珪素膜は、レーザー光の照射により結晶化された結晶構造を有することを特徴とする半導体装置。

【請求項12】請求項11において、加熱により結晶化された結晶構造は、細い棒状結晶または偏平棒状結晶からなることを特徴とする半導体装置。

【請求項13】請求項11において、加熱により結晶化された結晶構造は、細い棒状結晶または偏平棒状結晶が間隔を置いて平行または概略平行に成長した結晶構造であることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、絶縁表面を有する基板上に形成された半導体薄膜およびそれを活性層とする半導体装置の作製方法に関する。特に、半導体薄膜として珪素（シリコン）を主成分とする非晶質半導体薄膜を結晶化した薄膜を利用する。

【0002】また、薄膜トランジスタの如き半導体装置で構成された半導体回路および電気光学装置並びにそれらを搭載した電子機器の構成に関する。

【0003】なお、本明細書中では上記薄膜トランジスタ、半導体回路、電気光学装置および電子機器を全て「半導体装置」に範疇に含めて扱う。即ち、半導体特性を利用して機能しうる装置全てを半導体装置と呼ぶ。従って、上記特許請求の範囲に記載された半導体装置は、薄膜トランジスタ等の単体素子だけでなく、それを集積化した半導体回路や電気光学装置およびそれらを部品として搭載した電子機器をも包含する。

【0004】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数十～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは特に画像表示装置（例えば液晶表示装置）のスイッチング素子としての開発が急がれている。

【0005】例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路（演算回路、メモリ回路、クロックジェネレータなど）等のあらゆる電気回路にTFTを応用する試みがなされている。

【0006】現状においては、活性層として非晶質珪素

10

20

30

40

50

膜（アモルファスシリコン膜）を用いたTFTが実用化されているが、駆動回路やロジック回路などの様に、さらなる高速動作性能を求められる電気回路には、結晶性珪素膜（ポリシリコン膜等）を利用したTFTが必要とされる。

【0007】従来、結晶性珪素膜は、絶縁表面を有する基板上または絶縁表面を有する下地膜上に非晶質珪素膜をプラズマCVD法や減圧CVD法で成膜した後、加熱処理またはレーザー光の照射または強光の照射を行うことで結晶化させることにより得られている。

【0008】上記従来の結晶性珪素膜を得る方法のうち、レーザー光の照射による方法により得られる膜質は、他の方法と比較して良好であり、また、スループットが高く、基板に熱的なダメージを与えない利点を有しているので、多用されている。

【0009】しかしながら、このレーザー光の照射による方法は、非晶質珪素膜の膜厚が100nm以下であると、得られる結晶性珪素膜の表面にリッジ（凹凸）が多数形成され、膜質が低下してしまう。即ち、珪素膜にレーザー光を照射すると、珪素膜が瞬間的に溶解されて、局所的に膨張し、この膨張によって生じる内部応力を緩和するために、得られる結晶性珪素膜の表面にリッジ（凹凸）が形成される。また、このリッジの高低差は、膜厚の1/2～1倍程度である。

【0010】絶縁ゲート型の半導体装置において、結晶性珪素膜表面のリッジには、ダングリングボンドや格子の歪み等に起因するポテンシャル障壁やトラップ準位が形成されるため、活性層とゲート絶縁膜との界面準位を高くしてしまう。また、リッジの頂上部は急峻であるために電界が集中しやすく、このためリーク電流の発生源となり、最終的には絶縁破壊を生じ、ショートしてしまう。加えて、結晶性珪素膜表面のリッジは、スパッタ法やCVD法により堆積されるゲート絶縁膜の被覆性を損なうものであり、絶縁不良等の信頼性を低下させる。このように、結晶性珪素膜の表面のリッジがTFTの特性すべてに影響を与え、歩留りまで変わってしまう。

【0011】また、このレーザー光の照射による方法は、特に良好な結晶性を得るような条件で不安定になりやすく、さらに、十分結晶化させるため、レーザー光のエネルギー密度を上げるとリッジが増加し、膜表面が荒れる傾向がある。

【0012】

【発明が解決しようとする課題】本発明は、前記問題点を解消して、高い結晶性を有し、且つ、リッジ（凹凸）の少ない平坦な表面を有する結晶性珪素膜を用いた高い特性を有する半導体装置およびその作製方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本明細書で開示する本発明の第1の構成は、絶縁表面上に第1の非晶質珪素膜を

形成する工程と、加熱処理を施し、前記第1の非晶質珪素膜を結晶化させ第1の結晶性珪素膜を得る工程と、前記第1の結晶性珪素膜上に第2の非晶質珪素膜を形成する工程と、エネルギーを与えることにより、前記第2の非晶質珪素膜を結晶化させ第2の結晶性珪素膜を得る工程と、を有することを特徴とする半導体装置の作製方法である。

【0014】更に、本発明の第2の構成は、絶縁表面上に第1の非晶質珪素膜を形成する工程と、加熱処理を施し、前記第1の非晶質珪素膜を結晶化させ第1の結晶性珪素膜を得る工程と、前記第1の結晶性珪素膜の表面をエッチングする工程と、前記第1の結晶性珪素膜上に第2の非晶質珪素膜を形成する工程と、エネルギーを与えることにより、前記第2の非晶質珪素膜を結晶化させ第2の結晶性珪素膜を得る工程と、を有することを特徴とする半導体装置の作製方法である。

【0015】また、上記第2の構成において、前記エッチングのエッチャントとしてフッ酸を含むエッチャントを用いることを特徴としている。

【0016】更に、本発明の第3の構成は、絶縁表面上に第1の非晶質珪素膜を形成する工程と、前記第1の非晶質珪素膜中に珪素の結晶化を助長する金属元素を導入する工程と、加熱処理を施し、前記第1の非晶質珪素膜を結晶化させ第1の結晶性珪素膜を得る工程と、前記第1の結晶性珪素膜上に第2の非晶質珪素膜を形成する工程と、エネルギーを与えることにより、前記第2の非晶質珪素膜を結晶化させ第2の結晶性珪素膜を得る工程と、を有することを特徴とする半導体装置の作製方法である。

【0017】また、上記第3の構成において、珪素の結晶化を助長する金属元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Auから選ばれた一種類または複数種類の元素が利用されることを特徴としている。

【0018】また、上記第3の構成において、珪素の結晶化を助長する金属元素としてニッケルが利用されることが好ましい。

【0019】また、上記各構成において、第2の非晶質珪素膜の結晶化は、第1の結晶性珪素膜の表面を結晶成長の核としていることを特徴としている。

【0020】また、上記各構成において、エネルギーを与える方法として、レーザー光の照射する方法を利用することを特徴としている。また、エネルギーを与える方法として、レーザー光の照射と同時にまたは段階的に、強光の照射、加熱から選ばれた1種類または複数種類の方法を利用することが好ましい。また、上記各構成において、前記レーザー光の照射エネルギー密度は、100～300mJ/cm<sup>2</sup>が好ましい。

【0021】更に、本発明の第4の構成は、絶縁基板上に、半導体薄膜からなる活性層、ゲート絶縁膜、ゲート

10

20

30

40

50

電極を有する半導体装置において、前記活性層は、第1の結晶性珪素膜と、該珪素膜に積層された第2の結晶性珪素膜とからなる積層構造を有しており、前記第1の結晶性珪素膜は、加熱により結晶化された結晶構造を有し、前記第2の結晶性珪素膜は、レーザー光の照射により結晶化された結晶構造を有することを特徴とする半導体装置である。

【0022】上記第4の構成において、加熱により結晶化された結晶構造は、細い棒状結晶または偏平棒状結晶からなることを特徴としている。

【0023】また、上記第4の構成において、加熱により結晶化された結晶構造は、細い棒状結晶または偏平棒状結晶が間隔を置いて平行または概略平行に成長した結晶構造であることを特徴としている。

【0024】

【発明の実施の形態】本発明においては、公知の如何なる手段を用いて第1の非晶質珪素膜を結晶化させ第1の結晶性珪素膜を形成してもよいが、加熱処理による結晶化が好ましい。こうして得られた第1の結晶性珪素膜を下地としてその上に、第2の非晶質珪素膜を形成し、レーザー光の照射により第2の結晶性珪素膜を形成することで良好な平坦性が得られる。また、このレーザー光の照射の際、被照射領域を450℃～基板の歪点温度の範囲で加熱して、さらに良好な結晶性を得る工程としてもよい。

【0025】本発明は、この第1の結晶性珪素膜の表面を結晶成長の核として、第2の結晶性珪素膜をレーザー光の照射により得ることを特徴としている。そのため、第2の結晶性珪素膜は、第1の結晶性珪素膜の表面に左右される。即ち、第1の結晶性珪素膜表面が核として優れたものを用いれば、優秀な結晶性及び平坦性を有する第2の結晶性珪素膜を得ることができる。そのため、第2の非晶質珪素膜を形成する際に、第1の結晶性珪素膜表面をエッチングして優れた表面を形成することが好ましい。または、第1の非晶質珪素膜の結晶化処理直後の優れた表面を維持したまま第2の非晶質珪素膜を成膜することが好ましい。こうして得られた2層の結晶性珪素膜を薄膜トランジスタの活性層に用いることにより、優れた特性を有する半導体装置が得られる。

【0026】SiO<sub>2</sub>等の絶縁膜上に形成された非晶質珪素膜をレーザー光の照射によって結晶化させた従来の結晶性珪素膜と比較して、本発明は、よりリッジの少ない平坦な表面を有する良好な結晶性珪素膜を得ることができる。

【0027】なお、第1の非晶質珪素膜と第2の非晶質珪素膜の膜質はほぼ同一であるが、第1の結晶性珪素膜と第2の結晶性珪素膜は、結晶粒界、即ち結晶構造等が異なっていることが本発明の特徴の1つである。

【0028】このことはセコエッチング（エッチャントとして、HF=50cc、K<sub>2</sub>Cr<sub>2</sub>O<sub>7</sub>=1.14

g、H<sub>2</sub>O=25ccを混合した溶液）により確認することができる。このセコエッチングを行うと、SEM観察等により表面の欠陥及び結晶粒界を観察することができる。

【0029】即ち、加熱処理により結晶化された第1の結晶性珪素膜の表面構造は、図14（A）にその1例が示されているように、不規則な結晶構造を有しており、各結晶に規則性はない。図14（A）は、熱処理（600℃、24時間）のみにより得た結晶性珪素膜にセコエッチングを行った表面のSEM観察写真である。

【0030】また、第1の結晶性珪素膜を触媒元素の添加を用いて加熱処理により結晶化させた場合（特開平7-130652号公報の実施例1の技術内容を利用）は、図示しないが、膜全面において無数の点中心から放射状に成長し、放射状の各結晶は結晶格子が連続的に連なって棒状に成長している。

【0031】また、第1の結晶性珪素膜を触媒元素の添加を用いて加熱処理により結晶化させた場合（特開平7-130652号公報の実施例2の技術内容を利用）は、図示しないが、結晶格子の構造がほぼ特定方向に連続的に連なっており、細い棒状結晶又は細い偏平棒状結晶に成長している。

【0032】これら上記第1の結晶性珪素膜に対して、第2の結晶性珪素膜の表面における結晶構造は、全く異なっている。図14（B）は、レーザー光の照射（340mJ/cm<sup>2</sup>）により得た従来の結晶性珪素膜にセコエッチングを行った表面のSEM観察写真である。図14（B）にそのパターン1例が示されているように、規則的な（亀甲模様のような）結晶粒界を有している。

【0033】そして、本発明の第2の結晶性珪素膜は、従来（図14（B））よりもリッジが少なく良好な平坦性を有していることを特徴としている。

【0034】本明細書中では、加熱により結晶化された結晶構造とは、図14（A）のパターンを1例とする構造を示している。即ち、結晶構造における各結晶は、不規則的な結晶粒、または細い棒状結晶粒又は細い偏平棒状結晶粒で構成されている。

【0035】また、本明細書中では、レーザー光の照射により結晶化された結晶構造とは、図14（B）のパターンを1例とするような構造を示している。即ち、結晶構造における規則的な（亀甲模様のような）結晶粒で構成されている。

【0036】上記本発明の構成に対応する実施例を以下に示し、詳細な説明を行うこととする。

【0037】

【実施例】以下、本発明の実施例を説明するが、この実施例に限定されないことは勿論である。

【実施例1】本実施例においては、加熱処理により得た第1の結晶性珪素膜上に第2の結晶性珪素膜を得る工程を図1を用いて示す。

【0038】まず、基板は耐熱性の高い基板100（本実施例では石英基板）を用意し、その基板には、図示しないが、下地膜として300nm厚の絶縁性珪素膜を形成する。絶縁性珪素膜とは、酸化珪素膜（ $\text{SiO}_x$ ）、窒化珪素膜（ $\text{Si}_x\text{N}_y$ ）、酸化窒化珪素膜（ $\text{SiO}_x\text{N}_y$ ）のいずれか若しくはそれらの積層膜である。ただし、基板表面が十分な平坦性と絶縁性を有している基板であれば、下地膜を形成しない構成としてもよい。

【0039】また、歪点が750℃以上であればガラス10基板（代表的には結晶化ガラス、ガラスセラミクス等と呼ばれる材料）を利用することもできる。その場合には\*

成膜温度：465℃

成膜圧力：0.5torr

成膜ガス：He（ヘリウム）300sccm

Si、H<sub>2</sub>（ジシラン）250sccm

【0041】なお、成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施例の場合、第1の非晶質珪素膜101中では結晶化を阻害する不純物であるC（炭素）及びN（窒素）の濃度はいずれも520  
 $\times 10^{18}$  atoms/cm<sup>3</sup>未満（代表的には $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下、好ましくは $2 \times 10^{17}$  atoms/cm<sup>3</sup>以下）、O（酸素）は $1.5 \times 10^{18}$  atoms/cm<sup>3</sup>未満（代表的には $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下、好ましくは $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下）となるように管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。

【0042】上記構成を得るため、本実施例で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図ることが望ましい。ドライクリーニングは、200～400℃程度に加熱した炉内に100～300sccmの $\text{CF}_4$ （フッ化塩素）ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【0043】なお、本発明者らの知見によれば炉内温度300℃とし、 $\text{CF}_4$ （フッ化塩素）ガスの流量を300sccmとした場合、約2μm厚の付着物（主に珪素を主成分する）を4時間で完全に除去することができる。

【0044】また、第1の非晶質珪素膜101中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜101の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。この後、450℃、1時間程度の水素出しを行うことが好ましい。

【0045】次に、第1の非晶質珪素膜101の結晶化を加熱処理によって行う。この加熱処理は、不活性雰囲気、水素雰囲気または酸素雰囲気中における500～1

\*下地膜を減圧熱CVD法で設けて基板全面を絶縁性珪素膜で囲む様になるとガラス基板からの成分物質の流出を抑えられて効果的である。また、基板全面を非晶質珪素膜で覆い、それを完全に熱酸化膜に変成させる手段もとれる。

【0040】次に、下地膜または基板上に第1の非晶質珪素膜101を下記条件に従って形成する。第1の非晶質珪素膜101をプラズマCVD法やLPCVD法により10nm～100nm（代表的には、30～60nm）、本実施例ではLPCVD法で30nmの第1の非晶質珪素膜101を、下記条件に従って形成する。〔図1（A）〕

000℃の温度で12～72時間の加熱処理である。この加熱の温度は高いほど効果が大きい、基板の耐熱性を考慮すると、使用する基板の歪点温度以下とすることが必要である。なお、基板として石英基板や半導体基板等の耐熱性を有するものを用いた場合は、800℃～1000℃程度の加熱処理が可能である。従って、本実施例においては、窒素雰囲気中で600℃、24時間、その後さらに、800℃～1000℃の加熱を1～5時間の加熱処理により第1の結晶性珪素膜102を得る。〔図1（B）〕さらに、この工程の後に結晶性を改善させる必要があれば、レーザーアニールを行ってもよい。

【0046】加熱処理による結晶化が終了したら、フッ酸を含むエッチャントを用いてエッチングを行い、表面の不純物を取り除く工程を加える構成とすることが好ましい。〔図1（C）〕露呈した第1の結晶性珪素膜の表面をフッ酸系のエッチャント（フッ素と水素とを含む必要がある）、例えばフッ酸、または、バッファーフッ酸、または、FPM（フッ酸と過水と水を混合した溶液）によって洗浄する必要がある。これは、第1の結晶性珪素膜の表面に形成される酸化膜やその他炭素や窒素を含んだ膜を除去（エッチング）するためである。これらの膜は、後の工程である第2の非晶質珪素膜の結晶化を阻害する可能性がある。また、バッファーフッ酸やFPMによって、珪素膜の表面を洗浄した場合、その表面には、水素が吸着し、表面の珪素原子の不對結合手を中和することができる。そして、酸化やその他化合物の膜が形成されることを防ぐことができる。

【0047】次に、第1の結晶性珪素膜上または、表面の酸化物を除去した第1の結晶性珪素膜上に、第2の非晶質珪素膜103を形成する。〔図1（D）〕この第2の非晶質珪素膜は、第1の非晶質珪素膜と同一の作製条件によって得ることが好ましい。本実施例においては、LPCVD法により10nm～100nm（代表的には、30～60nm）、本実施例では30nmの第2の

9、非晶質珪素膜を形成する。LPCVD法により得られる非晶質珪素膜は、プラズマCVD法よりも水素元素の含有率が低いので好ましく、良好な膜質を得ることができる。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

【0048】次に、得られた第2の非晶質珪素膜に対してレーザー光を用いて結晶化する。〔図1(E)〕レーザー光は、紫外領域以下の波長を有するパルス発振レーザー、例えばKrFエキシマレーザーやXeClエキシマレーザーを用いることが好ましい。本実施例では、XeClエキシマレーザー（波長308nm）を発振するものを用いる。被照射面における線状レーザービームのエネルギー密度は、100~500mJ/cm<sup>2</sup>、好ましくは、100~300mJ/cm<sup>2</sup>、本実施例では300mJ/cm<sup>2</sup>で照射して結晶化している。レーザーの発振周波数は30Hzとし、被照射物の1点に注目すると、10ショットのレーザービームが照射される。前記ショット数は5ショットから50ショットの範囲で適当に選択する。このレーザーの照射の際、被照射領域を450℃~基板の歪点温度の範囲で加熱し、さらに良好な結晶性を得る工程を加えてもよい。

【0049】このレーザーの照射処理により、102の部分に結晶核となり、結晶成長が進行する。このレーザーの照射処理によって、103で示される第2の非晶質珪素膜が結晶化される。この膜は、単結晶と見なせる領域または実質的に単結晶と見なせる第1の結晶性珪素膜102の表面が核となることによる結晶成長であって、単結晶と見なせる領域または実質的に単結晶と見なせる第2の結晶性珪素膜104が形成される。

【0050】また、第2の非晶質珪素膜103を結晶化すると同時に、第1の結晶性珪素膜102にレーザーアニール処理が施され、第1の結晶性珪素膜の結晶性が改善される。

【0051】この第2の結晶性珪素膜104の結晶構造は、核となる第1の結晶性珪素膜の表面の結晶構造及び出発膜である非晶質珪素膜103の成膜条件や結晶化の方法によって異なるものとなる。特に、本実施例の第1の結晶性珪素膜中の結晶粒は図14(A)に示すような形状をしているが、第2の結晶性珪素膜は、図14

(B)に示すような結晶構造と近似の結晶構造を有する。第2の結晶性珪素膜のほうが結晶粒が比較的均一である。

【0052】以上の工程により得られる第2の結晶性珪素膜104は、リッジの少ない良好な表面を有している。

【0053】〔実施例2〕本実施例においては、結晶化を促進させる触媒元素を添加し、実施例1と比較して低温での加熱処理により得た第1の結晶性珪素膜上に第2の結晶性珪素膜を得る工程を図2を用いて示す。

【0054】第1の結晶性珪素膜の結晶化の手段として

は本発明者による特開平7-130652号公報記載の技術を用いる。同公報の実施例1および同公報の実施例2のどちらの手段でも良いが、本実施例では同公報の実施例1に記載した技術内容を利用した例を示す。

【0055】まず、基板200（コーニング1737）上に下地酸化膜として、酸化珪素膜（図示しない）をスパッタ法により100~500nm、例えば、400nmに形成した。この酸化珪素膜は、ガラス基板からの不純物の拡散を防ぐために設けられる。そして、第1の非晶質珪素膜をプラズマCVD法やLPCVD法により30~100nmに形成した。ここでは、膜中の水素含有率が低いLPCVD法によって第1の非晶質珪素膜201を30nmの厚さに成膜した。〔図2(A)〕

【0056】その後、第1の非晶質珪素膜201上に数~数十Åのニッケルもしくはニッケル化合物を含む層（ニッケル含有層205）を形成する。ニッケル含有層205を作製するには、ニッケルを含有した溶液を塗布したのち、乾燥させる方法（例えば、スピンコーティング法や、ディッピング法）や、ニッケルもしくはニッケル化合物をスパッタリング法によって成膜する方法、あるいは、ガス状の有機ニッケルを熱・光やプラズマによって分解・堆積させる方法（気相成長法）によって形成すればよい。ここでは、スピンコーティング法によって成膜した。〔図2(B)〕

【0057】本実施例では、結晶化を促進させる触媒元素としてニッケルを用いているが、特に限定されず、珪素の結晶化を助長する触媒元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Auから選ばれた一種類または複数種類の元素が利用することができる。

【0058】次に、第1の非晶質珪素膜201上に、酸素雰囲気中でのUV光の照射、熱酸化法、過酸化水素による処理等によって、酸化膜を1~5nmに成膜する。ここでは、酸素雰囲気中でのUV光の照射により酸化膜を2nmに成膜した。この酸化膜は、後のニッケルを含んだ酢酸塩溶液を塗布する工程で、第1の非晶質珪素膜の表面全体に酢酸塩溶液を行き渡らせるため、即ち濡れ性の改善のためのものである。

【0059】つぎに、酢酸塩溶液中にニッケルを添加した酢酸塩溶液を作製した。ニッケルの濃度は25ppmとした。そして、回転させた基板上にこの酢酸塩溶液を基板表面に2ml滴下し、この状態を5分間保持してこの酢酸ニッケル溶液を均一に基板上に行き渡らせた。その後、基板の回転数を上げてスピンドライ（2000rpm、60秒）をおこなった。

【0060】酢酸溶液中におけるニッケルの濃度は、1ppm以上であれば実用になる。このニッケル溶液の塗布工程を、1回~複数回行なうことにより、スピンドライ後の第1の非晶質珪素膜の表面に20Åの平均の膜厚を有する酢酸ニッケル層205を形成することができ



た。なお、この層というのは、完全な膜になっているとは限らない。他のニッケル化合物を用いても同様にできる。

【0061】その後、加熱炉において、窒素雰囲気中において550℃、4時間の加熱処理をおこない結晶化させた。この結果、基板上に第1の結晶性珪素膜202を得ることができた。〔図2(C)〕

【0062】この後の工程に、バッファーフッ酸を用いて第1の結晶性珪素膜202上の酸化膜を除去する工程を加え、第1の結晶性珪素膜202の表面を良好な結晶核とすることが好ましい。

【0063】そして、第1の結晶性珪素膜、または、表面の酸化膜を除去された第1の結晶性珪素膜に第2の非晶質珪素膜203をプラズマCVD法によって、30~100nm、例えば、30nmに成膜した。〔図2(D)〕この第2の非晶質珪素膜203は、第1の非晶質珪素膜と同一の作製条件によって得ることが好ましいが、特に限定されず、同一の作製工程でなくともよい。

【0064】その後、レーザー照射による結晶化処理をおこなった。レーザー光は、紫外領域以下の波長を有するパルス発振レーザーを用いることが好ましい。例えばKrFエキシマレーザーやXeClエキシマレーザーを用いることが好ましい。レーザー光の照射エネルギー密度は130~300mJ/cm<sup>2</sup>、好ましくは、180~230mJ/cm<sup>2</sup>、本実施例ではKrF(波長248nm、パルス幅20nsec)のエキシマレーザーを用い、230mJ/cm<sup>2</sup>で照射して結晶化している。

【0065】またレーザー光の照射の際に、試料(基板)または被照射面を400℃~ガラス基板の歪点、あるいは400℃~非晶質珪素膜の結晶化温度に加熱する工程を加えてもよい。この温度は、出来るかぎり高い温度とすることが望ましい。この加熱は、レーザー光の照射に従う、急激な相変化を抑制し、結晶粒界や欠陥が形成されるのを防ぐことに非常に効果がある。

【0066】以上の工程により、第1の結晶性珪素膜上にリッジの少ない膜表面を有する良好な第2の結晶性珪素膜204を得ることができた。〔図2(E)〕

【0067】ここで、第1の結晶性珪素膜202には、結晶化をおこなう際に添加したニッケルが不純物として存在しているが、第2の結晶性珪素膜204には不純物(ニッケル等)が殆ど含まれておらず、デバイス特性のよい半導体層が得られる。また、第2の結晶性珪素膜の結晶成長は、下地である第2の結晶性珪素膜の表面を結晶成長の核としている。ここでは、第1の結晶性珪素膜が縦成長である。第2の結晶性珪素膜は第1の結晶性珪素膜の表面からの影響を受けているが、結晶化方法が異なるため結晶構造は異なっている。特に、第1の結晶性珪素膜202は、膜全面において無数の点中心から放射状に成長し、放射状の各結晶は結晶格子が連続的に連な

って棒状に成長している。一方、第2の結晶性珪素膜

は、図14(B)に示すような(結晶粒界が亀甲模様である)結晶構造と近似の結晶構造を有する。

【0068】〔実施例3〕本実施例においては、実施例2と比較して結晶化を促進させる触媒元素の添加方法の異なる方法(本発明者による特開平7-130652号公報の実施例2に記載した技術内容(特開平8-78329号公報に詳しい))を用い、加熱処理により得た第1の結晶性珪素膜上に第2の結晶性珪素膜を得る工程を図3を用いて示す。

【0069】まず、基板300上に下地酸化膜(図示しない)として、酸化珪素膜をTEOSをプラズマCVD法によって、堆積・分解して500nmに形成した。そして、第1の非晶質珪素膜301をLPCVD法によって30nmの膜厚に成膜した。〔図3(A)〕

【0070】次に、第1の非晶質珪素膜301の結晶化工程の特開平8-78329号公報記載の技術を用いて行う。前記公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜306を形成する。そして、第1の非晶質珪素膜301の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液をスピコート法により塗布し、Ni含有層305を形成する。〔図3(B)〕

【0071】なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)、ゲルマニウム(Ge)、鉛(Pb)、インジウム(In)等を用いることができる。

【0072】また、上記触媒元素の添加工程はスピコート法に限らず、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0073】次に、触媒元素の添加工程が終了したら、450℃、1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500~700℃(代表的には550~650℃)の温度で4~24時間の加熱処理を加えて第1の非晶質珪素膜301の結晶化を行う。本実施例では窒素雰囲気中で570℃、14時間の加熱処理を行う。〔図3(C)〕

【0074】この時、第1の非晶質珪素膜301の結晶化はニッケルを添加した領域307で発生した核から優先的に進行し、基板300の基板面に対してほぼ平行に成長した結晶領域302が形成される。本発明者らはこの結晶領域302を横成長領域と呼んでいる。横成長領域302は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。しかしながら、本実施例では、実施例2のように第1の非晶質珪素膜表面全体が結晶化するのではなく、結晶化されていない部分も存在している。即ち、必要な箇所だけ選択的に結晶化させており、添加するニッケルの量を最

低限必要な量にしている。

【0075】結晶化のための加熱処理が終了後、第1の結晶性珪素膜上に残存するニッケル含有層を塩素系のエッチャントで除去する工程を加えることが好ましい。そして、マスク絶縁膜306はバッファフッ酸で除去した。〔図3(D)〕

【0076】そして、第1の結晶性珪素膜、または、表面の酸化膜を除去された第1の結晶性珪素膜に第2の非晶質珪素膜303をプラズマCVD法によって、20~100nm、代表的には、20~60nm、本実施例では、25nmに成膜した。〔図3(E)〕この第2の非晶質珪素膜は、第1の非晶質珪素膜と同一の作製条件によって得ることが好ましいが、特に限定されず、同一の作製工程でなくともよい。

【0077】その後、レーザー結晶化処理をおこなった。レーザー光は、紫外領域以下の波長を有するパルス発振レーザーを用いることが好ましい。例えばKrFエキシマレーザーやXeClエキシマレーザーを用いることが好ましい。本実施例では、XeClエキシマレーザー（波長308nm）を発振するものを用いる。被照射面における線状レーザービームのエネルギー密度は、100~500mJ/cm<sup>2</sup>、好ましくは、130~300mJ/cm<sup>2</sup>、本実施例では180mJ/cm<sup>2</sup>で照射して結晶化している。

【0078】またレーザー光の照射の際に、試料（基板）または被照射面を400℃~ガラス基板の歪点、あるいは400℃~非晶質珪素膜の結晶化温度に加熱する工程を加えてもよい。この工程の温度は、出来るかぎり高い温度とすることが望ましい。

【0079】以上の工程により、横成長領域302上にリッジの少ない膜表面を有する良好な第2の結晶性珪素膜304を得ることができた。〔図3(F)〕

【0080】ここで、実施例2と比較して、第1の結晶性珪素膜（横成長領域302）には不純物として存在しているニッケルが少なく、さらに、第2の結晶性珪素膜304には不純物（ニッケル等）が殆ど含まれておらず、デバイス特性のよい半導体層が得られる。また、第2の結晶性珪素膜304の結晶成長は、下地である珪素膜の表面で結晶化している箇所（横成長領域302）を結晶成長の核としている。第2の結晶性珪素膜304は横成長領域302の表面からの影響を受けているが、結晶化方法が異なるため結晶構造は異なっている。特に、横成長領域302中の結晶は、結晶格子の構造がほぼ特定方向に連続的に連なっており、細い棒状結晶又は細い偏平棒状結晶に成長している。一方、第2の結晶性珪素膜は、図14(B)に示すような結晶構造と近似の結晶構造を有する。

【0081】〔実施例4〕本実施例では、上記実施例3において、第1の結晶性珪素膜を得た後、ニッケル元素をリン元素を用いてゲッタリングした例を図4に示す。

実施例3記載の図3(D)と対応して図4(A)は同一である。また、第1の結晶性珪素膜を得る工程までは、実施例3と同一工程であるため記載を省略する。なお、説明には図4を用いるが、必要に応じて前述の符号を用いて説明する。

【0082】横成長領域302を得た後、リンを用いたゲッタリング手段〔500~700℃の加熱処理〕（特願平9-65406号）で結晶化に利用した触媒元素を低減させる。

10 【0083】リン元素を用いる場合、活性層となる領域以外の領域にリンを添加する。401はリンが添加された領域である。リンの添加方法としては、まず、図4(B)のように、活性層となる領域を覆うレジスト405を形成する。次に、リンイオンをイオンドーピング法またはスピコーティングによる溶液塗布によって注入する。〔図4(C)〕

【0084】その後、400~1050℃（好ましくは600~750℃）の温度で、1min~20hr（典型的には30min~3hr）の加熱処理を行う。〔図4(D)〕この加熱処理によりリンを添加した領域に触媒元素がゲッタリングされるので、活性層中の触媒元素の濃度は $5 \times 10^{17}$  atoms/cm<sup>2</sup>以下にまで低減される。これらの元素の濃度は、SIMS（2次イオン分析方法）で計測される最小値として定義される。

【0085】こうしてゲッタリング工程を終えたら、リンを添加した領域以外の領域402を利用して結晶核となる第1の結晶性珪素膜の島領域406を形成する。

〔図4(E)〕

30 【0086】その後は、実施例3の工程に従い、第2の非晶質珪素膜403を形成し〔図4(F)〕、この第2の非晶質珪素膜の結晶化をレーザー照射により行うことで、リッジが少なく表面を有し、且つ、良好な結晶性を有する第2の結晶性珪素膜404が得られる。〔図4(G)〕ここで得られる第2の結晶性珪素膜は、実施例2及び3と比較して、第1層の結晶性珪素膜には不純物として存在しているニッケルが少なく、さらに、第2層の結晶性珪素膜には不純物が含まれておらず、デバイス特性のよい半導体層が得られる。また、第2の結晶性珪素膜の結晶成長は、下地である第1の結晶性珪素膜の島領域406の表面で結晶化している箇所を結晶成長の核としている。

40 【0087】また、ニッケル元素をゲッタリングする他の手段としてハロゲン元素を含む雰囲気中で〔700℃~1000℃の〕加熱処理を（特願平8-301249号）を行って触媒元素を低減してもよい。

50 【0088】〔実施例5〕本実施例5は、上記実施例1~3で得られる第1の結晶性珪素膜または横成長領域にバターニングを行い、結晶核となる第1の結晶性珪素膜の島領域を形成する場合の例である。第1の結晶化処理工程と第2の非晶質珪素膜の成膜工程との間にバターニ

ング工程を加えることは、第1の結晶性珪素膜表面の不純物が増加することにつながるため好ましくないが、エッチング工程を加えて不純物を除去することが好ましい。本実施例では、結晶核となる第1の結晶性珪素膜の島領域を形成した場合、第2の非晶質珪素膜を選択的に結晶化させることができる。従って、単結晶と見なせる領域または実質的に単結晶と見なせる領域を選択的に結晶核部分とすることができるため、必要な箇所に良好な結晶性を有する第2の結晶性珪素膜を得ることができる。従って、本実施例で得られる第2の結晶性珪素膜の全面において、均一な結晶性を有していない。

【0089】〔実施例6〕本実施例6は、上記各実施例1～5におけるレーザー光に代えて赤外線ランプを利用して第2の結晶性珪素膜を得た場合の例である。赤外線を用いた場合、基板をあまり加熱せずに珪素膜を選択的に加熱することができる。従って、基板に対して熱的ダメージを与えずに効果的な加熱処理を行うことができる。

【0090】〔実施例7〕本実施例では上記各実施例において得られた第1の結晶性珪素膜（または横成長領域）及び第2の結晶性珪素膜を用いて薄膜トランジスタを完成させるが、本実施例に示す工程は一例であり、本実施例の工程に限定されないことはいうまでもない。なお、説明には図5及び図6を用いるが、必要に応じて前述の符号を用いて説明する。

【0091】まず、上記各実施例において得られた第1の結晶性珪素膜（または横成長領域）及び第2の結晶性珪素膜を図5（A）に示すようにパターニングを行い、第1の島状半導体層106、第2の島状半導体層105を形成する。

【0092】次に図5（B）に示すようにゲート絶縁膜107として機能する酸化珪素膜を形成する。この酸化珪素膜はプラズマCVD法やスパッタ法を用いて成膜する。本実施例では、その膜厚を150nmとする。

【0093】その後、熱酸化工程を行って、酸化珪素膜を得る工程を加えてもよい。

【0094】さらに、アルミニウムまたはアルミニウムを主成分とする材料（本実施例では2wt%のスカンジウムを含有したアルミニウム膜）を成膜し、パターニングしてゲート電極の原型108・配線を形成した。〔図5（C）〕ゲート配線は、シリコンや、タングステン、チタン等の金属や、あるいはそれらの珪化物でもよい。ゲート電極をどのような材料で構成するかは、必要とされる半導体回路の特性や基板の耐熱温度等によって決定すればよい。本実施例においては、膜厚400nmとする。

【0095】次に、特開平7-135318号公報記載の技術により多孔性の陽極酸化膜109及び無孔性の陽極酸化膜110を形成する。〔図5（D）〕そして、これらの陽極酸化膜およびゲート電極111をマスクとし

て、ゲート絶縁膜107をエッチングし、ゲート絶縁膜112を形成する。その後、多孔性の陽極酸化膜109を除去する。〔図6（A）〕

【0096】その後、セルフアライン的に、イオンドーピング法等の手段によりN型またはP型の不純物をシリコン・アイランドに導入し、2層のチャネル形成領域116a、116b、2層の低濃度不純物領域115a、115b、そして2層のソース領域113a、113b、2層のドレイン領域114a、114bを形成した。〔図6（B）〕

【0097】そして、公知の手段で、層間絶縁膜117を堆積した。本実施例においては、膜厚900nmとする。そして、これにコンタクトホールを開孔し、アルミニウム合金配線を形成してソース電極118及びドレイン電極119を得た。最後に水素雰囲気中で350℃1時間程度の加熱処理を行い、素子全体の水素化を行う。こうして薄膜トランジスタ（TFT）が完成する。〔図6（C）〕

【0098】さらに、これらの上に、保護膜（パッシベーション膜）として、厚さ10～50nmの窒化珪素膜等をプラズマCVD法によって堆積し、これに、出力端子の配線に通じるコンタクトホールを開孔し、配線を形成する構成としてもよい。

【0099】〔実施例8〕本実施例では実施例7を用いて得られた半導体装置を利用して反射型液晶パネルを製作する工程例について説明する。

【0100】2層構造を有する結晶性珪素膜は実施例1乃至6で説明した作製工程に従って作製する。図7に示すのはアクティブマトリクス型液晶パネルの断面図であり、ドライバ回路やロジック回路を構成する領域にはCMOS回路を、画素マトリクス回路を構成する領域には画素TFTを示している。

【0101】CMOS回路はNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせで作製する。CMOS回路を構成する個々のTFTの構成および作製方法は実施例7で説明したので省略する。また、画素TFTはドライバ回路等を構成するTFTにさらに工夫を加える必要がある。図7において701は窒化珪素膜であり、CMOS回路のパッシベーション膜を兼ねると同時に、補助容量を構成する絶縁体として機能する。

【0102】窒化珪素膜701上にはチタン膜702が形成され、チタン膜702とドレイン電極703との間で補助容量が形成される。この時、絶縁体は比誘電率の高い窒化珪素膜であるので、容量を大きくすることができる。また、反射型では開口率を考慮する必要がないので、図7の様な構造としても問題がない。

【0103】次に、704は有機性樹脂膜でなる層間絶縁膜であり、本実施例ではポリイミドを用いている。この層間絶縁膜704は膜厚を2μm程度と厚くして十分な平坦性を確保しておくことが好ましい。こうすること

で、優れた平坦性を持つ画素電極705を形成することができる。

【0104】画素電極705はアルミニウムまたはアルミニウムを主成分とする材料で構成する。なるべく反射率の高い材料を用いる方がよい。また、優れた平坦性を確保しておくことで画素電極表面での乱反射損失を低減することができる。

【0105】画素電極705の上には配向膜706を形成する。配向膜706はラビングによって配向力を持たせる。以上がTFT側基板(アクティブマトリクス基板)の構成に関する説明である。

【0106】一方、対向基板側は、透過性基板707上に透明導電膜708、配向膜709を形成して構成される。これ以外にも必要に応じてブラックマスクやカラーフィルターを設けることもできる。

【0107】そして、スペーサ散布、シール材印刷を行った後、液晶層710を封入して図7に示す様な構造の反射型液晶パネルが完成する。液晶層710は液晶の動作モード(ECBモード、ゲストホストモード等)によって自由に選定することができる。

【0108】また、図7に示した様な反射型液晶パネルを構成するアクティブマトリクス基板の外観を図8に簡略化して示す。図8において、801は実施例1の工程に従って熱酸化膜を設けたシリコン基板、802は画素マトリクス回路、803はソースドライバ回路、804はゲートドライバ回路、805はロジック回路である。

【0109】ロジック回路805は広義的にはTFTで構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、ドライバ回路と呼ばれている回路と区別するため、それ以外の信号処理回路(メモリ、D/Aコンバータ、クロックジェネレータ等)を指す。

【0110】また、こうして形成された液晶パネルには外部端子としてFPC(Flexible Print Circuit)端子が取り付けられる。一般的に液晶モジュールと呼ばれるのはFPCを取り付けた状態の液晶パネルである。

【0111】〔実施例9〕本実施例では実施例1乃至6で得られた2層構造を有する結晶性珪素膜を用いて、実施例7で作製したTFTを利用して透過型液晶パネルを作製する工程例について説明する。

【0112】ただし、基本的な構造は実施例7に示した反射型液晶パネルと同じであるので、構成の異なる点を特に説明する。

【0113】図9に示す透過型液晶パネルの場合、ブラックマスク901の構成が反射型液晶パネルと大きく異なる。即ち、透過型では開口率を稼ぐ必要があるのでTFT部および配線部以外は極力ブラックマスク901が重ならない様な構成とすることが重要である。

【0114】そのため、本実施例ではTFT部の上にドレイン電極902が重なる様に形成しておき、その上で

ブラックマスク901との間に補助容量を形成する。この様に、広い面積を占めやすい補助容量をTFTの上に形成することで開口率を広くすることが可能である。

【0115】また、903は画素電極となる透明導電膜である。透明導電膜903としてはITOが最も多用されるが、他の材料(酸化スズ系など)を用いても良い。

【0116】〔実施例10〕本実施例は、ゲート電極として導電性を有する珪素膜を用いた、いわゆるシリコンゲートTFTに適用した場合の例である。本実施例のパネルは、実施例1で説明した2層の結晶性珪素膜を用いて作製されている。基本的な構成は実施例7で作製したTFTとはほぼ同様であるので、相違点のみに着目して説明する。

【0117】図10において、11はNチャネル型TFTのゲート電極、12はPチャネル型TFTのゲート電極、13は画素TFTのゲート電極である。ゲート電極11~13はリンまたは砒素を添加したN型ポリシリコン膜、或いはボロンまたはインジウムを添加したP型ポリシリコンを用いる。

【0118】また、CMOS回路ではNチャネル型TFTにN型ポリシリコンゲートを用い、Pチャネル型TFTにP型ポリシリコンゲートを用いたデュアルゲート型CMOS回路を構成しても良い。17は、2層構造の結晶性珪素膜の内、リッジの少ない表面を有した第2の結晶性珪素膜にN型を付与する不純物が添加されたソース領域の1部である。また、18は、2層構造の結晶性珪素膜の内、リッジの少ない表面を有した第2の結晶性珪素膜にP型を付与する不純物が添加されたドレイン領域の1部である。また、19は2層構造の結晶性珪素膜の内、リッジの少ない表面を有した第2の結晶性珪素膜を用いたチャネル領域の1部である。

【0119】この様にゲート電極として珪素膜を用いる利点としては、耐熱性が高いこと、珪素膜であるので扱いが容易であることなどが挙げられる。また、金属膜との反応を利用してサリサイド構造(ポリサイド構造も含む)をとることができる。

【0120】そのためには、ゲート電極11~13を形成した後にサイドウォール14~16を形成して、チタン、タングステン等の金属膜(図示せず)を成膜し、加熱処理を行って金属シリサイドを形成する。図10において、この金属シリサイドは、ソース領域17、ドレイン領域18およびゲート電極の一部に形成される。

【0121】この様にサイドウォール等を用いて自己整合的に金属シリサイドを形成する構造をサリサイド構造と呼ぶ。このような構造とすると取り出し電極(ソース/ドレイン電極等)とのオーミック接触が良好なものとなるので有効である。

【0122】〔実施例11〕実施例1~4では、トップゲート型のTFT構造の一例を示したが、本実施例では、他のTFT構成として、ボトムゲート型TFTの例

10

20

30

40

50

を示す。このような構造とすると第2の結晶性珪素膜からなるリッジの少ない活性層表面と取り出し電極（ソース／ドレイン電極等）とのオーミック接触が良好なものとなるので有効である。

【0123】まず、ガラス基板1100（または石英、シリコン基板）上に珪素を主成分とする絶縁膜でなる下地膜（図示しない）を形成する。その上に導電性膜でなるゲート電極（第1配線）を形成する。ここで、一回目のバターンニング工程（ゲート電極1101形成）が行われる。

【0124】ゲート電極1101の膜厚としては、200～500nmが好ましい。本実施例では、300nm厚のTa膜を用いて形成した。このゲート電極1101としては、少なくとも600℃程度の温度に耐えうる耐熱性を有する材料（タンタル、タングステン、チタン、クロム、モリブデン、導電性シリコン、導電性ポリシリコン等）を用いることが可能である。

【0125】次に、窒化珪素膜、 $\text{SiO}_x\text{Ny}$ で示される酸化窒化珪素膜または酸化珪素膜からなるゲート絶縁層1102（膜厚としては、10～200nmが好ましく、本実施例では、有機シランであるTEOSと酸素を混合してプラズマCVD法を利用して125nm厚の酸化窒化珪素膜を用いる）を形成した。〔図11（A）〕

【0126】この工程の後、実施例1～3と同様に、第1の非晶質珪素膜の成膜及び加熱結晶化〔図11（B）〕、第2の非晶質珪素膜の成膜及びレーザー結晶化〔図11（C）〕を行い、第1の結晶性珪素膜1103及びリッジの少ない第2の結晶性珪素膜1104を得る。

【0127】そして、バターンニングを施し、所望の形状の活性層（第1の結晶性珪素膜からなる活性層1105、第2の結晶性珪素膜からなる活性層1106）を得る。〔図11（D）〕

【0128】次に、低不純物領域を作製するために、第2の結晶性珪素膜からなる活性層1106を覆って、酸化珪素膜（好ましくは膜厚100～300nm、本実施例では、膜厚150nmとした）を成膜した後、バターンニングを行い、チャンネル形成領域を形成するためにドーピングマスク1107aを形成した。〔図11（E）〕

【0129】公知の如何なる方法を用いて低不純物領域及び高不純物領域を作製してもよいが、本実施例においては、ドーピングマスク1107aを用いて、第1回目のドーピングを公知の方法（例えばイオンドーピング法）によって行い、ドーピングマスク1107aに再度バターンニングを施したドーピングマスク1107bを用いて、第2回目のドーピングを公知の方法（例えばイオンドーピング法）によって行う。こうして、低不純物領域1109a、1109b、ソース領域1108a、1108b、ドレイン領域1110a、1110b及びチャンネル領域1111a、1111bを作製した。〔図1

2（A）〕

【0130】また、低抵抗領域及び高抵抗不純物領域を有するTFETを作製する場合は、公知の如何なる方法を用いて低抵抗領域及び高抵抗不純物領域を作製してもよいが、ドーピングマスクをマスクとして、不純物イオンのドーピングを行い、次に、ゲート電極をマスクとして基板裏面からレーザー光の照射を行い、不純物イオンを活性化させて、低抵抗領域及び高抵抗不純物領域を作製する工程を用いるとよい。

10 【0131】その後、保護膜（層間絶縁膜1114）を形成し、ゲート電極の取り出し配線電極とソース・ドレインの取り出し配線電極1112、1113を形成して、（Nチャネル型またはPチャネル型）ボトムゲート型ポリシリコン薄膜トランジスタが完成した。また、この保護膜は窒化珪素膜、酸化珪素膜、有機性樹脂膜、またはそれらの積層膜で構成してもよい。〔図12（B）〕

20 【0132】〔実施例12〕実施例11では、ボトムゲート型のTFET構造の一例を示したが、本実施例では、他のTFETの構成として、チャネルエッチ型TFETの例を示す。実施例11との主な違いは、ドーピングマスクを設けない点である。

【0133】本実施例は、図11（D）に示される実施例11の工程まで同一の工程〔ガラス基板1300（または石英基板）上に絶縁性を有する下地膜、その上に導電性膜でなるゲート電極1301、その上にゲート絶縁層1302、その上に、結晶化方法の異なる2層の結晶性珪素膜（1303、1304）を積層し、バターンニングする〕を用いる。

30 【0134】ここで、図面上には図示されないが、露出したゲート絶縁層1302の一部をエッチングし、ゲート電極1301と次に形成する電極との電氣的接続をとるためのコンタクトホールを開口する。

【0135】次に、導電性を有する金属膜を成膜し、バターンニングによりソース電極1305、ドレイン電極1306形成する。本実施例ではTi（50nm）/Al（200～300nm）/Ti（50nm）の三層構造からなる積層膜を用いる。また、上述のように、ゲート電極1301と電氣的に接続するための配線も同時に形成されている。

40 【0136】ここで、ゲート電極の真上の領域、即ちソース電極とドレイン電極とで挟まれた領域1308（以下、チャネルエッチ領域と呼ぶ）が後にチャンネル形成領域とオフセット領域の長さにより決定される。

【0137】次に、ソース電極1305およびドレイン電極1306をマスクとしてドライエッチングを行い、自己整合的にアイランドをエッチングする。この時、本実施例では最終的に10～100nm（代表的には10～75nm、好ましくは15～45nm）の半導体層のみ残す。本実施例では、30nm厚の半導体層（130

8に対応する)を残した。

【0138】こうして、アイランドのエッチング(チャネルエッチ工程)が終了したら保護膜1307として酸化珪素膜または窒化珪素膜または有機性樹脂膜を形成して、TFTを完成させた。また、この保護膜は積層膜で構成してもよい。

【0139】この状態において、チャネルエッチされたアイランドのうち、ゲート電極の真上に位置する領域はチャネル形成領域となる。また、ゲート電極の端部よりも外側に位置する領域はゲート電極からの電界が及ばずオフセット領域となる。

【0140】以上の工程により、図13に示す構造(チャネルエッチ構造)が得られる。

【0141】〔実施例13〕本願発明のTFTは実質的に単結晶と見なせる半導体薄膜を活性層として利用しているため、単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。

【0142】本発明で得られるTFTは極めて優れたスイッチング特性および高速動作特性を有している。そのため、これまでMOSFETで構成されてきたLSIなどの集積化回路をTFTで構成することが可能となる。

【0143】さらには、薄膜を用いるTFTの利点を生かして三次元構造の半導体装置(半導体回路)を構成することも可能となる。

【0144】本願発明のTFTを用いて三次元構造の半導体回路を構成することで、非常に機能性に富んだ半導体回路を構成することが可能である。なお、本明細書中において、半導体回路とは半導体特性を利用して電気信号の制御、交換を行う電気回路という意味で用いている。

【0145】また、本願発明のTFTを用いてLCDドライバ回路や携帯機器用の高周波回路(MMIC:マイクロウェーブ・モジュール・IC)などを構成することもできる。即ち、本願発明のTFTを用いることで従来のICチップやLSIチップをTFTで作製することが可能である。

【0146】〔実施例14〕本願発明は液晶表示装置以外にも、アクティブマトリクス型のEL(エレクトロルミネッセンス)表示装置やEC(エレクトロクロミクス)表示装置等の他の電気光学装置を作製することも可能である。また、イメージセンサやCCDを作製することも可能である。

【0147】なお、電気光学装置とは電気信号を光学的信号に変換する装置またはその逆を行う装置という意味で用いている。

【0148】〔実施例15〕本実施例では、本発明を利用した電気光学装置を利用する電子機器(応用製品)の一例を図15に示す。なお、電子機器とは半導体回路および/または電気光学装置を搭載した製品のことを意味している。

【0149】本願発明を適用しうる電子機器としてはビデオカメラ、電子スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話、PHS(パーソナルハンディフォンシステム)等)などが挙げられる。

【0150】図15(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声入力部2003、表示装置2004等に適用することができる。

【0151】図15(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106等に適用することができる。

【0152】図15(C)はモバイルコンピュータ(モータールコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明はカメラ部2202、受像部2203、表示装置2205等に適用できる。

【0153】図15(D)はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0154】図15(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0155】図15(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0156】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、電気光学装置や半導体回路を必要とする製品であれば全てに適用できる。

【0157】

【発明の効果】以上の通り、本発明によれば、公知の結晶化手段を用いて第1の結晶性珪素膜を形成して、得られた第1の結晶性珪素膜を下地としてその上に、第2の非晶質珪素膜を形成し、レーザー光の照射等により第2の非晶質珪素膜を結晶化することにより優れた結晶性及びリッジの少ない表面を有する珪素膜が得られる。

【0158】従来と比較して、リッジが少なく、表面の



平坦性が優れているため、トップゲート型TFT構造においては、ゲート絶縁膜と活性層との界面準位を低くすることができる。また、ボトムゲート型TFT構造においては、ソース・ドレイン電極と活性層との界面準位を低くすることができ、オーミック接触を良好なものとすることができる。

【0159】また、SiO<sub>2</sub>等の下地膜と比較して、下地が第1の結晶性珪素膜であるため、臨界エネルギーが小さい。従って、従来よりも低いレーザー光のエネルギー密度（代表的には、100～300mJ/cm<sup>2</sup>）により結晶化を行うことができるため、プロセスマージンが向上する。

【0160】また、第1の結晶性珪素膜を得た後、第2の非晶質珪素膜を結晶化する構成（上記実施例1及び2）においては、従来技術〔パターンニングした第1の結晶性珪素膜を種結晶として、第2の非晶質珪素膜を選択的に結晶化し、第2の結晶性珪素膜のみ活性層として使用する構成〕と比較して、均一にレーザー光を非晶質珪素膜に吸収させることができるため、膜全面においてより均一な結晶性を有する珪素膜を得ることができる。

【0161】従って、本発明においても、第1の結晶性珪素膜をパターンニングした後、第2の非晶質珪素膜を選択的に結晶化する構成（上記実施例3及び5）より、第1の結晶性珪素膜を得た後、第2の非晶質珪素膜を結晶化する構成（上記実施例1及び2）が、より好ましい構成である。

【0162】また、第2の非晶質珪素膜をレーザー光の照射により結晶化すると同時に、第1の結晶性珪素膜の膜質の改善も行うことができる。

【0163】また、これらの2層の珪素膜を薄膜トランジスタの活性層に用いて、より信頼性が高く、優れた性能を備えた薄膜半導体装置が得られる。

#### 【図面の簡単な説明】

【図1】 実施例1における作製工程を示す図

【図2】 実施例2における作製工程を示す図

【図3】 実施例3における作製工程を示す図

【図4】 実施例4における作製工程を示す図

【図5】 実施例7における作製工程を示す図

【図6】 実施例7における作製工程を示す図

【図7】 実施例8におけるアクティブマトリクス基板の断面を示す図

【図8】 実施例8におけるアクティブマトリクス基

板の外観を示す図

【図9】 実施例9におけるアクティブマトリクス基板の断面を示す図

【図10】 実施例10におけるアクティブマトリクス基板の断面を示す図

【図11】 実施例11における作製工程を示す図

【図12】 実施例11における作製工程を示す図

【図13】 実施例12におけるTFT構造断面を示す図

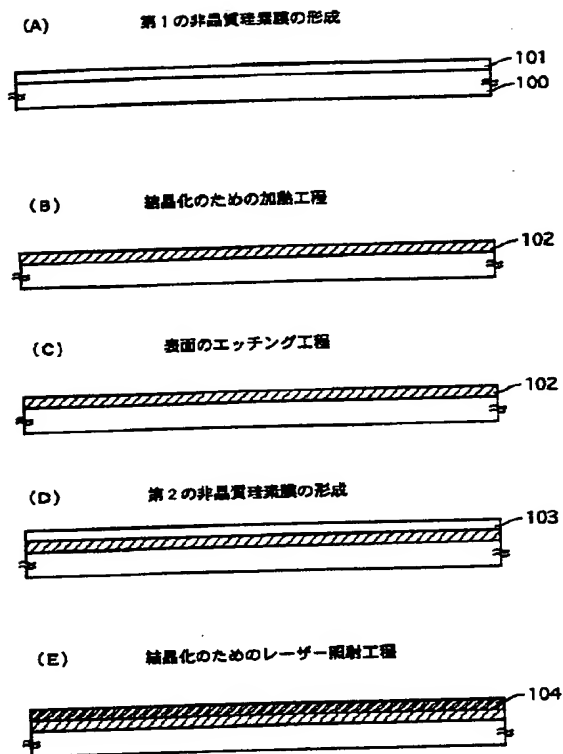
【図14】 セコエッチングによる表面構造図（SEM）

【図15】 実施例13の電子機器の一例を示す図

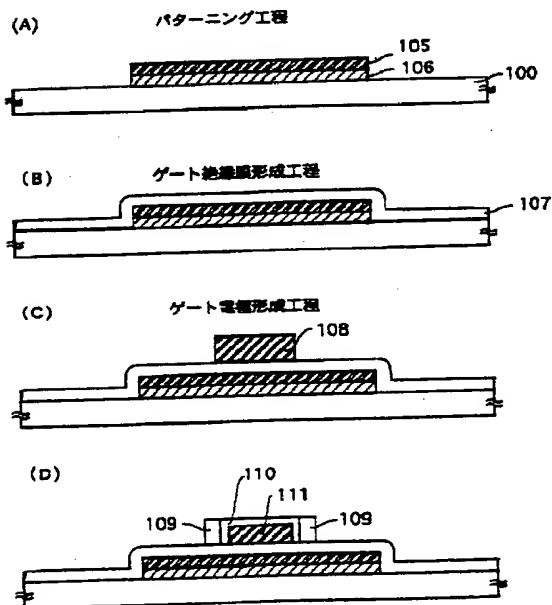
#### 【符号の説明】

100	基板
101	第1の非晶質珪素膜
102	第1の結晶性珪素膜
103	第2の非晶質珪素膜
104	第2の結晶性珪素膜
105	第1の結晶性珪素膜の島状領域
106	第2の結晶性珪素膜の島状領域
107	ゲート絶縁層
108	ゲート電極の原型
109	多孔性の陽極酸化膜
110	無孔性の陽極酸化膜
111	ゲート電極
112	ゲート絶縁膜
113 a	第2の結晶性珪素膜からなるソース領域
113 b	第1の結晶性珪素膜からなるソース領域
114 a	第2の結晶性珪素膜からなるドレイン領域
114 b	第1の結晶性珪素膜からなるドレイン領域
115 a	第2の結晶性珪素膜からなる低濃度不純物領域
115 b	第1の結晶性珪素膜からなる低濃度不純物領域
116 a	第2の結晶性珪素膜からなるチャネル領域
116 b	第1の結晶性珪素膜からなるチャネル領域

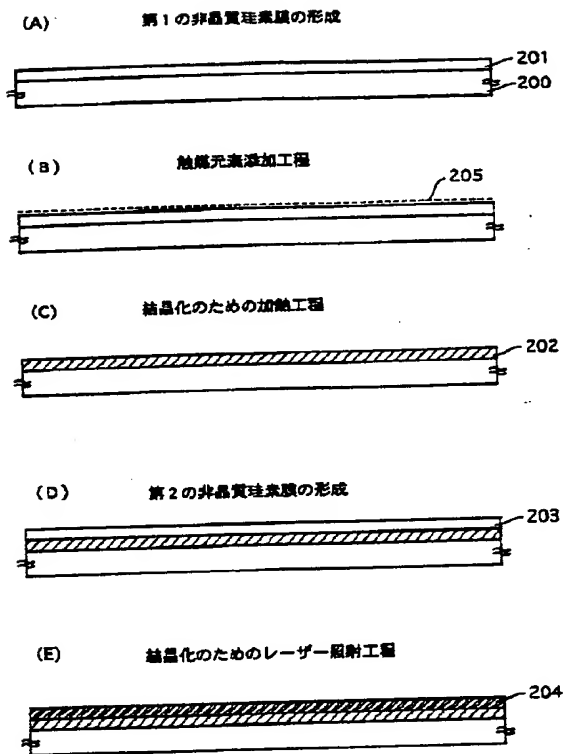
【図1】



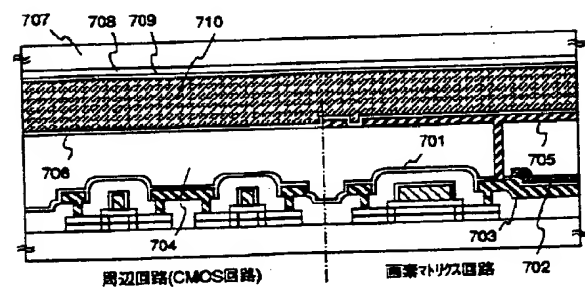
【図5】



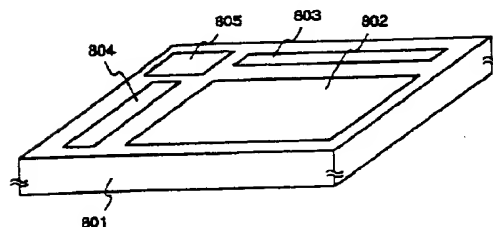
【図2】



【図7】

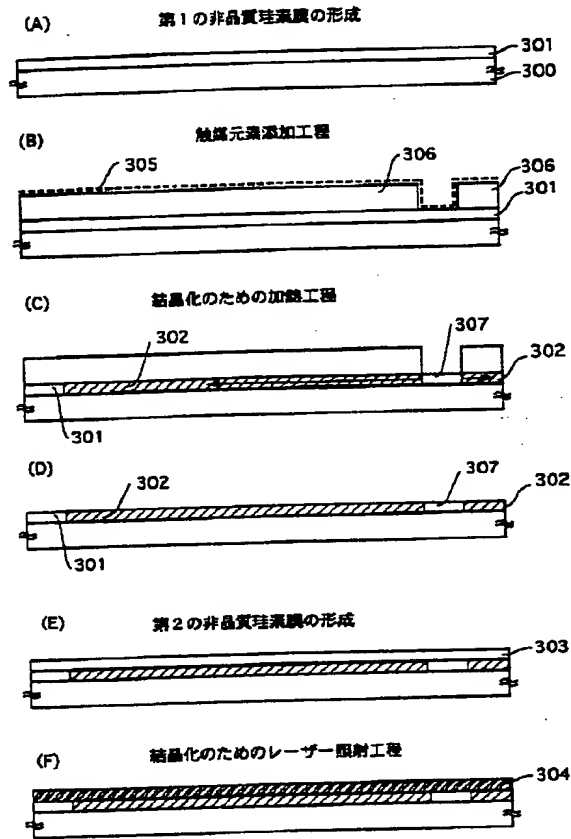


【図8】

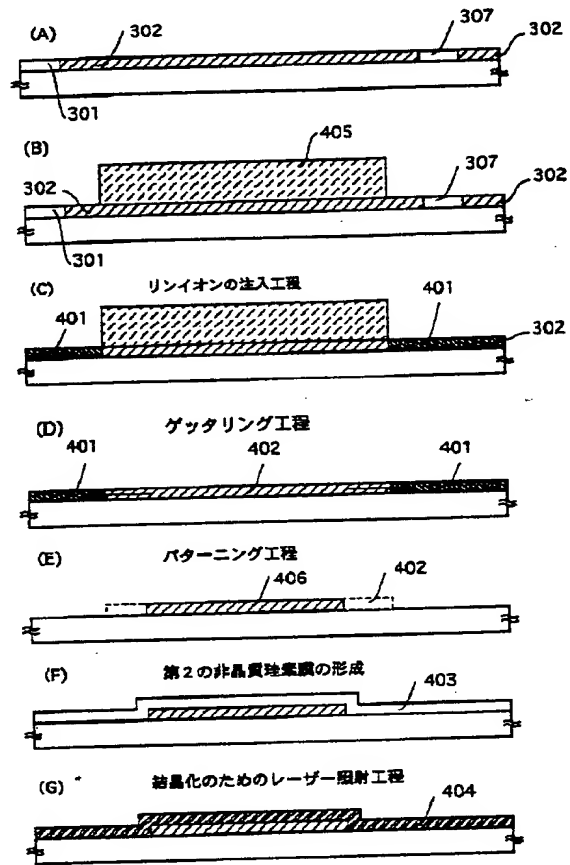




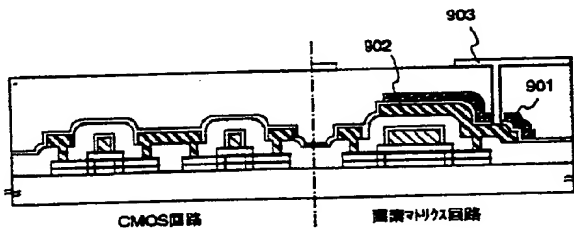
【図3】



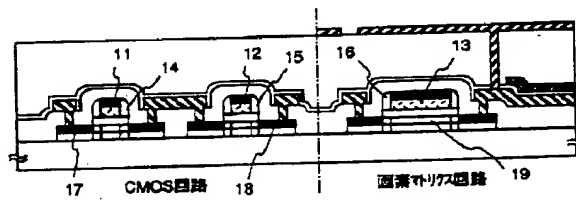
【図4】



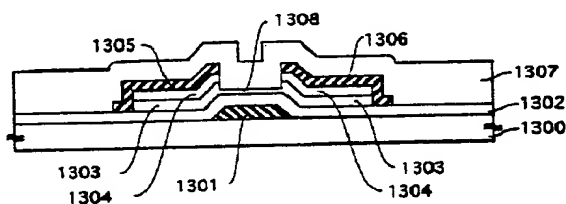
【図9】



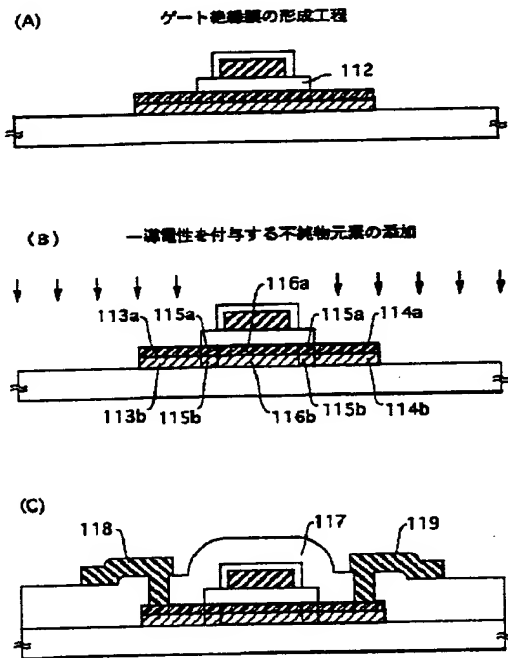
【図10】



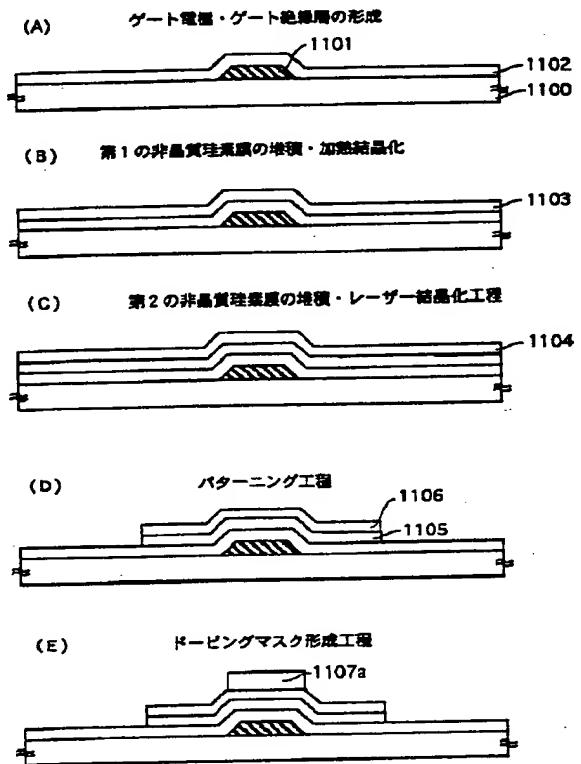
【図13】



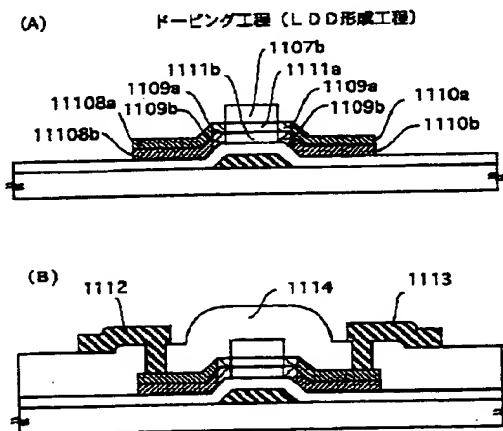
【図6】



【図11】

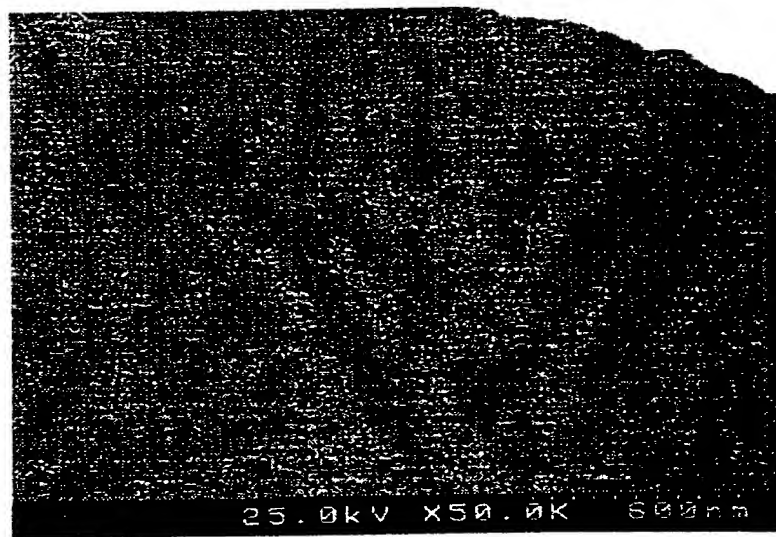


【図12】

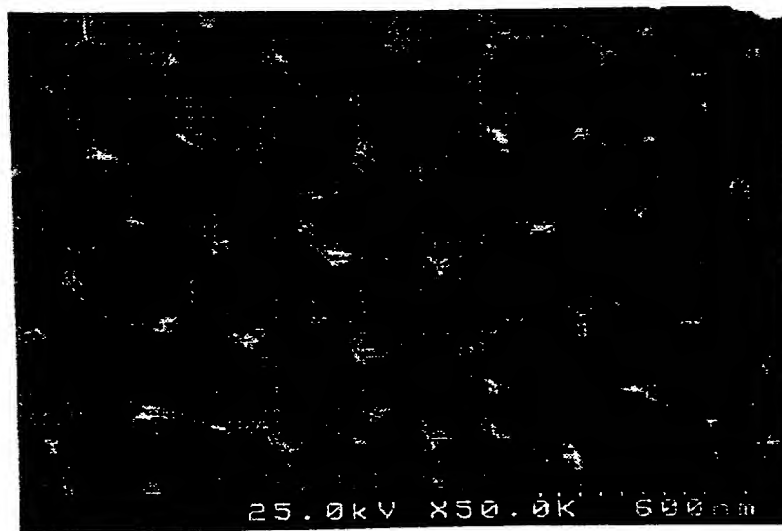


【図14】

図面代用写真

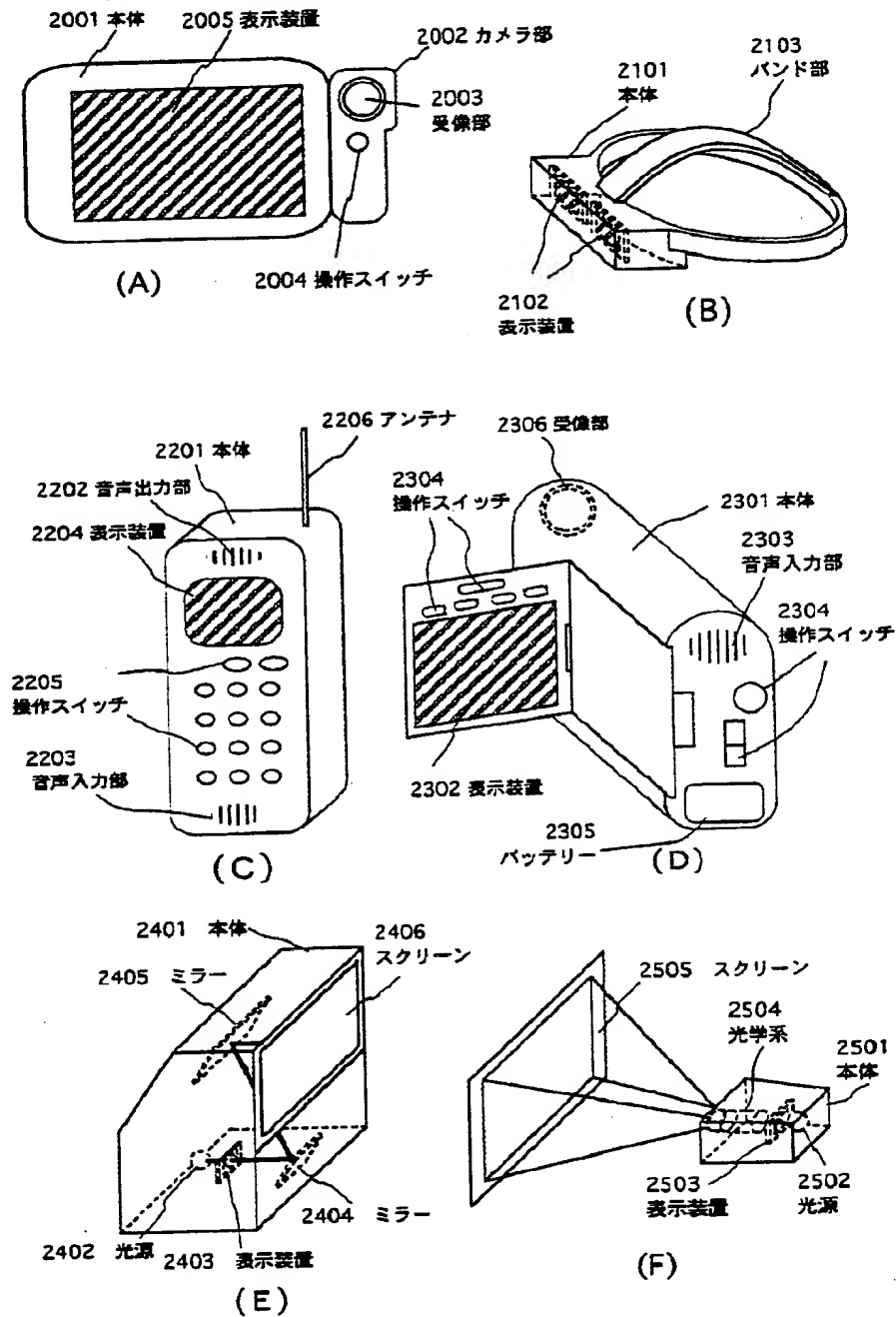


(A)



(B)

【図15】



FILING RECEIPT  
CORRECTED



UNITED STATES DEPARTMENT OF COMMERCE  
Patent and Trademark Office  
ASSISTANT SECRETARY AND COMMISSIONER  
OF PATENTS AND TRADEMARKS  
Washington, D.C. 20231

APPLICATION NUMBER	FILING DATE	GRP ART UNIT	FIL FEE REC'D	ATTORNEY DOCKET NO.	DRWGS	TOT CL	IND CL
09/227,577	01/08/99	1765	\$1,184.00	0756-1922	12	32	4

SIXBEY FRIEDMAN LEEDOM & FERGUSON  
8180 GREENSBORO DRIVE  
SUITE 800  
MCLEAN VA 22102

Receipt is acknowledged of this nonprovisional Patent Application. It will be considered in its order and you will be notified as to the results of the examination. Be sure to provide the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION when inquiring about this application. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. If an error is noted on this Filing Receipt, please write to the Application Processing Division's Customer Correction Branch within 10 days of receipt. Please provide a copy of the Filing Receipt with the changes noted thereon.

Applicant(s)

SHUNPEI YAMAZAKI, TOKYO, JAPAN; MASAHIKO HAYAKAWA,  
KANAGAWA, JAPAN.

FOREIGN APPLICATIONS- JAPAN

10-018098

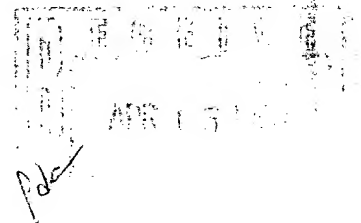
01/12/98

IF REQUIRED, FOREIGN FILING LICENSE GRANTED 01/26/99

TITLE  
SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

PRELIMINARY CLASS: 438

DOCKETED  
4/16/99 By *[Signature]*  
Sixbey, Friedman,  
Leedom & Ferguson



DATA ENTRY BY: BENTLEY, TIA

TEAM: 01 DATE: 04/12/99

\*\*\*\*\*

(see reverse)

# SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

## BACKGROUND OF THE INVENTION

### 1. Field of the Invention

5       The present invention relates to a method of manufacturing a semiconductor thin film formed on a substrate having an insulating surface and a semiconductor device using the semiconductor thin film as an active layer. Particularly, the present invention relates to a semiconductor thin film in which an amorphous semiconductor thin film containing silicon as its main ingredient is crystallized to obtain a thin film.

10       Moreover, the present invention relates to the structure of a semiconductor circuit and an electro-optical device, which are constituted by a semiconductor device such as a thin film transistor, and to the structure of an electronic apparatus incorporating those.

Incidentally, in the present specification, all of the thin film transistor, semiconductor circuit, electro-optical device, and electronic apparatus are contained in the category of  
15 "semiconductor device". That is, any device capable of functioning by using semiconductor properties is called a semiconductor device. Thus, the term "semiconductor device" included in the present invention includes not only a single element such as a thin film transistor but also a semiconductor circuit obtained by integrating the single elements, an electro-optical device, and an electronic apparatus incorporating those as parts.

### 20   2. Description of the Related Art

In recent years, attention has been paid to a technique for constituting a thin film transistor (TFT) by using a semiconductor thin film (its thickness is several tens to several hundreds nm) formed on a substrate having an insulating surface. Particularly, development of the thin film transistor as a switching element of an image display device  
25 (for example, a liquid crystal display device) has been hastened.

For example, in a liquid crystal display device, trials have been made to apply TFTs to any electric circuit, such as a pixel matrix circuit for controlling each of pixel regions arranged in matrix, a driving circuit for controlling the pixel matrix circuit, and a logic circuit (arithmetic circuit, memory circuit, clock generator, etc.) for processing data  
5 signals from the outside.

In the present circumstances, although a TFT using a noncrystalline silicon film (amorphous silicon film ) as an active layer is put to practical use, a TFT using a crystalline silicon film (polysilicon film, etc.) is necessary for an electric circuit, such as a driving circuit or a logic circuit, required to have higher speed operation  
10 performance.

Conventionally, a crystalline silicon film is obtained in such a manner that heat treatment, irradiation of laser light, or irradiation of intense light is carried out after an amorphous silicon film is formed on a substrate having an insulating surface or an under film having an insulating surface by a plasma CVD method or a low pressure CVD  
15 method.

Among the above conventional methods of obtaining a crystalline silicon film, the quality of a film obtained by the method of irradiation of laser light is excellent as compared with other methods, and the method has a high throughput and has a merit that thermal damage is not caused to a substrate, so that the method is often used.

However, according to the method of irradiation of laser light, if the thickness of an amorphous silicon film is 100 nm or less, many ridges (asperities) are formed on the surface of the obtained crystalline silicon film so that the film quality is degraded. That is, when a silicon film is irradiated with laser light, the silicon film is instantaneously melted and is locally expanded, and ridges (asperities) are formed on the surface of the  
20 obtained crystalline silicon film to relieve the inner stress generated by this expansion. The  
25 difference in the height of the ridge is about  $\frac{1}{2}$  to 1 time the thickness of the film.

In an insulated gate semiconductor device, since a potential barrier or a trap level caused by a dangling bond, distortion of a lattice, or the like are formed in the ridge on the

surface of the crystalline silicon film, an interfacial level between an active layer and a gate insulating film is raised. Further, since the top portion of the ridge is steep, an electric field is apt to be concentrated, so that the ridge becomes a generating source of leak current, and finally, breakdown occurs and a short circuit is brought about. In addition, the ridge on the surface of the crystalline silicon film damages the covering properties of the gate insulating film deposited by a sputtering method or a CVD method, and causes poor insulation or the like to degrade the reliability. Thus, the ridge on the surface of the crystalline silicon film influences all the characteristics of a TFT and even a yield is changed.

Moreover, the method of irradiation of laser light is apt to become unstable particularly under a condition to obtain excellent crystallinity, and if the energy density of laser light is increased to make sufficient crystallization, there is a tendency that ridges are increased and the surface of a film becomes rough.

### SUMMARY OF THE INVENTION

An object of the present invention is to solve the above problems and to provide a semiconductor device which has high characteristics and uses a crystalline silicon film having high crystallinity and having a flat surface with few ridges (asperities), and a method of manufacturing the same.

According to a first aspect of the present invention, a method of manufacturing a semiconductor device is characterized by comprising the steps of: forming a first amorphous silicon film on an insulating surface; obtaining a first crystalline silicon film by carrying out a heat treatment to crystallize the first amorphous silicon film; forming a second amorphous silicon film on the first crystalline silicon film; and obtaining a second crystalline silicon film by applying an energy to crystallize the second amorphous silicon film.

According to a second aspect of the present invention, a method of manufacturing



a semiconductor device is characterized by comprising the steps of: forming a first amorphous silicon film on an insulating surface; obtaining a first crystalline silicon film by carrying out a heat treatment to crystallize the first amorphous silicon film; etching a surface of the first crystalline silicon film; forming a second amorphous silicon film on the first crystalline silicon film; and obtaining a second crystalline silicon film by applying an energy to crystallize the second amorphous silicon film.

In the second aspect of the present invention, an etchant containing hydrofluoric acid is used as an etchant in the etching step.

According to a third aspect of the present invention, a method of manufacturing a semiconductor device is characterized by comprising the steps of: forming a first amorphous silicon film on an insulating surface; introducing a metal element for facilitating crystallization of silicon into the first amorphous silicon film; obtaining a first crystalline silicon film by carrying out a heat treatment to crystallize the first amorphous silicon film; forming a second amorphous silicon film on the first crystalline silicon film; and obtaining a second crystalline silicon film by applying an energy to crystallize the second amorphous silicon film.

In the third aspect of the present invention, it is characterized in that one kind of or plural kinds of elements selected from Fe, Co, Ni, Ru, Rh, Pd, Os, Ir, Pt, Cu, Ag, and Au are used as a metal element for facilitating crystallization of silicon.

Moreover, in the third aspect of the present invention, it is preferable to use nickel as the metal element for facilitating crystallization of silicon.

Moreover, in each of the above aspects of the present invention, crystallization of the second amorphous silicon film is carried out by using the surface of the first crystalline silicon film as nuclei of crystal growth.

Moreover, in each of the above aspects, it is characterized in that, as a method of applying the energy, a method of irradiation of laser light is used. Moreover, as a method of applying the energy, in addition to irradiation of laser light, it is preferable to use one kind of or plural kinds of methods selected from irradiation of intense light and heating

concurrently or sequentially. Moreover, in each of the above aspects, it is preferable that the irradiation energy density of the laser light is 100 to 300 mJ/cm<sup>2</sup>.

According to a fourth aspect of the present invention, in a semiconductor device comprising an active layer made of a semiconductor thin film formed on an insulating substrate, a gate insulating film, and a gate electrode, it is characterized in that the active layer includes a laminated structure made of a first crystalline silicon film and a second crystalline silicon film stacked on the first crystalline silicon film; the first crystalline silicon film includes a crystal structure obtained by crystallization through heating; and the second crystalline silicon film has a crystal structure obtained by crystallization through irradiation of laser light.

In the above fourth aspect of the present invention, it is characterized in that the crystal structure obtained by crystallization through heating includes thin rod-like crystals or flattened rod-like crystals.

Moreover, in the fourth aspect of the present invention, it is characterized in that the crystal structure obtained by crystallization through heating is such that thin rod-like crystals or flattened rod-like crystals are grown with intervals and in parallel to or substantially in parallel to each other.

In the present invention, although any well-known means may be used to crystallize the first amorphous silicon film to form the first crystalline silicon film, crystallization through heat treatment is preferable. The thus obtained first crystalline silicon film is used as an under film, the second amorphous silicon film is formed thereon, and the second crystalline silicon film is formed by irradiation of laser light, so that excellent flatness can be obtained. Moreover, at the irradiation of the laser light, an irradiated region may be heated at a temperature ranging from 450°C to the distortion point of the substrate to make a step of obtaining further excellent crystallinity.

The present invention is characterized in that the second crystalline silicon film is obtained by irradiation of laser light while using the surface of the first crystalline silicon film as nuclei of crystal growth. Thus, the second crystalline silicon film is influenced by

the surface of the first crystalline silicon film. That is, if the surface of the first crystalline silicon film is excellent as nuclei, the second crystalline silicon film having excellent crystallinity and flatness can be obtained. Accordingly, it is preferable to form an excellent surface by etching the surface of the first crystalline silicon film when the second  
5 amorphous silicon film is formed. Alternatively, it is preferable to form the second amorphous silicon film while an excellent surface of the first amorphous silicon film immediately after crystallization is maintained. When the thus obtained two-layer crystalline silicon film is used for an active layer of a thin film transistor, a semiconductor device having superior characteristics can be obtained.

10 As compared with a conventional crystalline silicon film in which an amorphous silicon film formed on an insulating film of  $\text{SiO}_2$  or the like is crystallized by irradiation of laser light, in the present invention, it is possible to obtain an excellent crystalline silicon film having a flat surface with fewer ridges.

Although the film qualities of the first amorphous silicon film and the second  
15 amorphous silicon film are almost the same, the first crystalline silicon film and the second crystalline silicon film are different from each other in crystal grain boundaries, that is, in the crystal structure, which is one of the features of the present invention.

This can be confirmed by secoetching (as an etchant, a mixture solution of  $\text{HF} = 50$  cc,  $\text{K}_2\text{Cr}_2\text{O}_7 = 1.14$  g, and  $\text{H}_2\text{O} = 25$  cc). When this secoetching is carried out, it is possible  
20 to observe defects and crystal grain boundaries on the surface by SEM observation or the like.

That is, the surface structure of the first crystalline silicon film crystallized by a heat treatment has an irregular crystal structure as shown in Fig. 14A in which an example is shown, and the respective crystals do not have regularity. Fig. 14A is a SEM observation  
25 photograph of a surface of a crystalline silicon film which was obtained by only a heat treatment ( $600^\circ\text{C}$ , 24 hours) and was subjected to secoetching.

Moreover, in the case where the first crystalline silicon film is crystallized by addition of a catalytic element and by a heat treatment (using the technical content of

Embodiment 1 of Japanese Patent Laid-open No. Hei. 7-130652 having U.S. Patent 5,643,826 corresponding thereto, which are herein incorporated by reference), although not shown, crystals grow radially from a limitless number of point centers in the whole surface of the film, and the respective radial crystals grow like rods in which crystal  
5 lattices are continuous.

Moreover, in the case where the first crystalline silicon film is crystallized by addition of a catalytic element and by a heat treatment (using the technical content of Embodiment 2 of Japanese Patent Laid-open No. Hei. 7-130652), although not shown, the structure of crystal lattices is continuous in almost a specific direction, and thin rod-like  
10 crystals or thin flattened rod-like crystals are grown.

As compared with these foregoing first crystalline silicon films, the crystal structure of the surface of the second crystalline silicon film is quite different. Fig. 14B is a SEM observation photograph of a surface of a conventional crystalline silicon film which was obtained by irradiation of laser light ( $340 \text{ mJ/cm}^2$ ) and was subjected to seacoetching. As  
15 shown in Fig. 14B in which one example of the patterns is shown, the film has regular (like tortoiseshell pattern) crystal grain boundaries.

The second crystalline silicon film of the present invention is characterized in that it has fewer ridges than the prior art (Fig. 14B) and has excellent flatness.

In the present specification, the crystal structure obtained by crystallization through  
20 heating indicates a structure one example of which is shown in the pattern of Fig. 14A. That is, each of the crystals in the crystal structure is constituted by irregular crystal grains, thin rod-like crystal grains, or thin flattened rod-like crystal grains.

Moreover, in the present specification, the crystal structure obtained by crystallization through irradiation of laser light indicates a structure one example of which  
25 is shown in the pattern of Fig. 14B. That is, the crystal structure is constituted by regular (like tortoiseshell pattern) crystal grains.

#### BRIEF DESCRIPTION OF THE DRAWINGS

Figs. 1A to 1E are views showing manufacturing steps of Embodiment 1.  
Figs. 2A to 2E are views showing manufacturing steps of Embodiment 2.  
Figs. 3A to 3F are views showing manufacturing steps of Embodiment 3.  
Figs. 4A to 4G are views showing manufacturing steps of Embodiment 4.  
5 Figs. 5A to 5D are views showing manufacturing steps of Embodiment 7.  
Figs. 6A to 6C are views showing manufacturing steps of Embodiment 7.  
Fig. 7 is a view showing a section of an active matrix substrate of Embodiment 8.  
Fig. 8 is a view showing an outer appearance of the active matrix substrate of  
Embodiment 8.  
10 Fig. 9 is a view showing a section of an active matrix substrate of Embodiment 9.  
Fig. 10 is a view showing a section of an active matrix substrate of Embodiment  
10.  
Figs. 11A to 11E are views showing manufacturing steps of Embodiment 11.  
Figs. 12A and 12B are views showing manufacturing steps of Embodiment 11.  
15 Fig. 13 is a view showing a section of a TFT structure of Embodiment 12.  
Figs. 14A and 14B are views of surface structures by secoetching (SEM).  
Figs. 15A to 15F are views showing examples of electronic apparatuses of  
Embodiment 13.

#### DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

20 Preferred embodiments of the present invention will be described below with  
reference to the drawings. However, it is needless to say that the present invention is not  
limited to these embodiments.

##### [Embodiment 1]

In this embodiment, steps of manufacturing a second crystalline silicon film on a

first crystalline silicon film obtained by a heat treatment will be described with reference to Figs. 1A to 1E.

First, a substrate 100 (in this embodiment, a quartz substrate) having high heat resistance is prepared, and an insulating silicon film (not shown) with a thickness of 300 nm is formed as an under film on the substrate. The insulating silicon film is a silicon oxide film (SiOx), a silicon nitride film (SixNy), a silicon nitride oxide film (SiOxNy), or a laminated film thereof. However, if the surface of the substrate has sufficient flatness and insulation properties, such a structure may be adopted that the under film is not formed.

10 If the distortion point is 750°C or more, a glass substrate (typically, a material called crystallized glass, glass ceramics, or the like) can also be used. In that case, if an under film is provided by a low pressure CVD method to cover the entire surface of the substrate with an insulating silicon film, such an effect is obtained that the outflow of constituent materials from the glass substrate can be suppressed. Moreover, it is possible to adopt  
15 such means that the entire surface of the substrate is covered with an amorphous silicon film and the film is completely transformed into a thermal oxidation film.

Next, a first amorphous silicon film 101 is formed on the under film or the substrate in accordance with the following condition. The first amorphous silicon film 101 with a thickness of 10 nm to 100 nm (typically 30 to 60 nm) by a plasma CVD method or an  
20 LPCVD method, in this embodiment, the first amorphous silicon film 101 with a thickness of 30 nm is formed by the LPCVD method in accordance with the following condition (Fig. 1A):

film formation temperature: 465°C,  
film formation pressure: 0.5 torr,  
25 film formation gas: He (helium) 300 sccm, and  
Si<sub>2</sub>H<sub>6</sub> (disilane) 250 sccm.

Incidentally, it is important to thoroughly carry out management of impurity

concentration in a film at the film formation. In the case of this embodiment, management is carried out so that the concentration of each of C (carbon) and N (nitrogen) which are impurities to hinder crystallization in the first amorphous silicon film 101 is less than  $5 \times 10^{18}$  atoms/cm<sup>3</sup> (typically  $5 \times 10^{17}$  atoms/cm<sup>3</sup> or less, preferably  $2 \times 10^{17}$  atoms/cm<sup>3</sup> or less), and the concentration of O (oxygen) is less than  $1.5 \times 10^{19}$  atoms/cm<sup>3</sup> (typically  $1 \times 10^{18}$  atoms/cm<sup>3</sup> or less, preferably  $5 \times 10^{17}$  atoms/cm<sup>3</sup> or less). This is because if the concentration of the respective impurities is not less than the above, they have a bad influence on subsequent crystallization, and cause the film quality after crystallization to be degraded.

10 In order to obtain the foregoing structure, it is desirable that a low pressure CVD furnace used in this embodiment is periodically subjected to dry cleaning to clean a film formation chamber. It is appropriate that the dry cleaning is carried out in such a manner that a ClF<sub>3</sub> (chlorine fluoride) gas of 100 to 300 sccm is flown into a furnace heated up to about 200 to 400°C and cleaning of the film formation chamber is carried out by  
15 fluorine produced by pyrolysis.

According to the knowledge of the present inventors, in the case where the temperature in a furnace is 300°C and the flow rate of a ClF<sub>3</sub> (chlorine fluoride) gas is 300 sccm, it is possible to completely remove a stuck substance (containing silicon as its main ingredient) with a thickness of about 2 μm in four hours.

20 The concentration of hydrogen in the first amorphous silicon film 101 is also a very important parameter, and it appears that a film having superior crystallinity can be obtained as a hydrogen content is made low. Thus, it is preferable that the amorphous silicon film 101 is formed by the low pressure CVD method. Incidentally, it is also possible to use the plasma CVD method if the film formation condition is optimized.  
25 Thereafter, it is preferable to carry out dehydrogenating at about 450°C for one hour.

Next, crystallization of the first amorphous silicon film 101 is carried out by a heat treatment. This heat treatment is carried out in an inert gas atmosphere, a hydrogen atmosphere, or an oxygen atmosphere at a temperature of 500 to 1000°C for 12 to 72

hours. Although the effect becomes great as the heating temperature becomes high, in view of heat resistance of the substrate, it is necessary that the temperature is made not higher than the distortion point of the substrate to be used. In the case where a substrate having heat resistance, such as a quartz substrate or a semiconductor substrate, is used, it is possible to carry out a heat treatment at about 800 to 1000°C. Thus, in this embodiment, a first crystalline silicon film 102 is obtained by a heat treatment in a nitrogen atmosphere at 600°C for 24 hours, and further, by a subsequent heat treatment at 800°C to 1000°C for 1 to 5 hours (Fig. 1B). Moreover, if it is necessary to improve the crystallinity after this step, laser annealing may be carried out.

It is preferable to take such a structure that after the crystallization by the heat treatment is ended, etching is carried out by using an etchant containing hydrofluoric acid and a step of removing impurities on the surface (Fig. 1C) is added. It is necessary to wash the exposed surface of the first crystalline silicon film by a hydrofluoric acid based etchant (it is necessary to contain fluorine and hydrogen), for example, hydrofluoric acid, buffer hydrofluoric acid, or FPM (mixture solution of hydrofluoric acid, hydrogen peroxide, and water). This washing is carried out to remove (etch) an oxide film or other films containing carbon, nitrogen, etc. which are formed on the surface of the first crystalline silicon film. These films may hinder crystallization of a second amorphous silicon film in a subsequent step. In the case where the surface of the silicon film is washed by buffer hydrofluoric acid or FPM, hydrogen is absorbed on the surface, so that dangling bonds of silicon atoms on the surface can be neutralized. Then it is possible to prevent oxidation or formation of other compound films.

Next, a second amorphous silicon film 103 is formed on the first crystalline silicon film or the first crystalline silicon film in which the oxide on the surface is removed (Fig. 1D). It is preferable that the second amorphous silicon film is obtained under the same manufacturing condition as the first amorphous silicon film. The second amorphous silicon film with a thickness of 10 nm to 100 nm (typically 30 to 60 nm), in the embodiment, 30 nm is formed by the LPCVD method. The amorphous silicon film



obtained by the LPCVD is preferable since its hydrogen content is lower than that obtained by the plasma CVD method, and excellent film qualities can be obtained. Incidentally, if the film forming condition is optimized, the plasma CVD method can also be used.

5        Next, the obtained second amorphous silicon film is crystallized by using laser light (Fig. 1E). It is preferable to use a pulse oscillation laser having a wavelength shorter than an ultraviolet region, such as a KrF excimer laser or XeCl excimer laser. In this embodiment, a XeCl excimer laser (wavelength 308 nm) is used. The energy density of a linear laser beam on an irradiated surface is 100 to 500 mJ/cm<sup>2</sup>, preferably 100 to 300  
10 mJ/cm<sup>2</sup>, in this embodiment, 300 mJ/cm<sup>2</sup>, and crystallization is made by irradiation. When the oscillation frequency of the laser is 30 Hz and attention is paid to one point of the irradiated material, ten shots of laser beams are applied. The number of shots is suitably selected in the range of 5 shots to 50 shots. At the irradiation of the laser, it is also possible to add a step of obtaining further excellent crystallinity by heating the irradiated  
15 region at a temperature ranging from 450°C to the distortion point of the substrate.

By the laser irradiation process, the portion 102 becomes crystal nuclei and crystal growth is progressed. By the laser irradiation process, the second amorphous silicon film indicated by 103 is crystallized. The crystal growth of this film is carried out while the surface of the region regarded as single crystal or the first crystalline silicon film 102  
20 regarded as substantially single crystal becomes nuclei, so that a region regarded as a single crystal or a second crystalline silicon film 104 regarded as substantially single crystal is formed.

At the same time as the crystallization of the second amorphous silicon film 103, the laser annealing process is applied to the first crystalline silicon film 102, so that the  
25 crystallinity of the first crystalline silicon film is improved.

The crystal structure of the second crystalline silicon film 104 varies depending on the crystal structure of the surface of the first crystalline silicon film as the nuclei, the film forming condition and method of crystallization of the amorphous silicon film 103 as a

starting film. Particularly, although the crystal grain in the first crystalline silicon film of this embodiment has a shape shown in Fig. 14A, the second crystalline silicon film has a crystal structure similar to the crystal structure shown in Fig. 14B. The crystal grains of the second crystalline silicon film are comparatively more uniform.

5        The second crystalline silicon film 104 obtained through the above steps has an excellent surface with few ridges.

#### [Embodiment 2]

In this embodiment, steps will be described with reference to Figs. 2A to 2E, in which a catalytic element for facilitating crystallization is added, and a second crystalline  
10        silicon film is obtained on a first crystalline silicon film obtained by a heat treatment at a low temperature as compared with Embodiment 1.

As means for crystallization of the first crystalline silicon film, the technique disclosed in Japanese Patent Laid-open No. Hei. 7-130652 having U.S. Patent 5,643,826 corresponding thereto, which are herein incorporated by reference, by the present  
15        inventors is used. Although both means of Embodiment 1 and Embodiment 2 of the publication may be used, an example in which the technical content set forth in Embodiment 1 of the publication is used will be described in this embodiment.

First, a silicon oxide film (not shown) with a thickness of 100 to 500 nm, for example, 400 nm was formed as an under oxide film on a substrate 200 (Corning 1737)  
20        by a sputtering method. This silicon oxide film is provided to prevent impurities from diffusing from the glass substrate. Then, a first amorphous silicon film with a thickness of 30 to 100 nm was formed by a plasma CVD method or an LPCVD method. Here, a first amorphous silicon film 201 with a thickness of 30 nm was formed by the LPCVD method by which a film with a low hydrogen content was obtained (Fig. 2A).

25        Then, a layer (nickel containing layer 205) containing nickel or a nickel compound and having a thickness of several to several tens Å is formed on the first amorphous silicon film 201. The nickel containing layer 205 may be formed by a method in which

after a solution containing nickel is applied, drying is carried out (for example, spin coating method, dipping method), by a method in which a film of nickel or nickel compound is formed by a sputtering method, or by a method in which gaseous organic nickel is decomposed and deposited by heat, light, or plasma (vapor phase growth method). Here, the film was formed by the spin coating method (Fig. 2B).

In this embodiment, although nickel is used as a catalytic element for facilitating crystallization, the element is not particularly limited. A kind of or plural kinds of elements selected from Fe, Co, Ni, Ru, Rh, Pd, Os, Ir, Pt, Cu, Ag, and Au can be used as the catalytic element for facilitating crystallization.

Next, an oxide film with a thickness of 1 to 5 nm is formed on the first amorphous silicon film 201 by irradiation of UV light in an oxygen atmosphere, a thermal oxidation method, a treatment by hydrogen peroxide, or the like. Here, an oxide film with a thickness of 2 nm was formed by irradiation of UV light in an oxygen atmosphere. This oxide film is provided so that in a subsequent step of applying an acetate solution containing nickel, the acetate solution is applied all over the surface of the first amorphous silicon film, that is, wettability is improved.

Next, a nickel acetate solution in which nickel was added to an acetate solution was prepared. The concentration of nickel was 25 ppm. The acetate solution of 2 ml was dropped on the surface of a rotating substrate, and this state was maintained for 5 minutes so that this nickel acetate solution was uniformly applied over the substrate. Thereafter, the revolutions of the substrate were raised and spin drying (2000 rpm, 60 seconds) was carried out.

If the concentration of nickel in the acetate solution is 1 ppm or more, it is practical. Coating steps of the nickel solution was carried out once or plural times, so that a nickel acetate layer 205 with an average film thickness of 20 Å was formed on the surface of the first amorphous silicon film after the spin drying. Incidentally, this layer is not necessarily a complete film. Even if other nickel compounds are used, a similar layer can be formed.

Thereafter, a heat treatment in a nitrogen atmosphere at 550°C for 4 hours was carried out in a heating furnace and crystallization was made. As a result, a first crystalline silicon film 202 was obtained on the substrate (Fig. 2C).

5 As a subsequent step, it is preferable to add a step of removing an oxide film on the first crystalline silicon film 202 by using buffer hydrofluoric acid so that the surface of the first crystalline silicon film 202 is made excellent crystal nuclei.

Then a second amorphous silicon film 203 with a thickness of 30 to 100 nm, for example, 30 nm was formed by a plasma CVD method on the first crystalline silicon film or the first crystalline silicon film in which the oxide film on the surface was removed  
10 (Fig. 2D). Although it is preferable to obtain the second amorphous silicon film 203 under the same manufacturing condition as the first amorphous silicon film, the condition is not necessarily limited, but different manufacturing steps may be adopted.

Thereafter, a crystallizing process by laser irradiation was carried out. It is preferable to use as the laser light a pulse oscillation laser having a wavelength not longer than an  
15 ultraviolet region. For example, it is preferable to use a KrF excimer laser or a XeCl excimer laser. The irradiation density of the laser light is 130 to 300 mJ/cm<sup>2</sup>, preferably 180 to 230 mJ/cm<sup>2</sup>. In this embodiment, the excimer laser of KrF (wavelength 248 nm, pulse width 20 nsec) is used and irradiation at 230 mJ/cm<sup>2</sup> is carried out to make crystallization.

20 At the irradiation of the laser light, a step of heating a sample (substrate) or an irradiated surface at a temperature ranging from 400°C to the distortion point of the glass substrate, or at a temperature ranging from 400°C to the crystallization temperature of the amorphous silicon film may be added. It is desirable that this temperature is made as high as possible. This heating is very effective in suppressing rapid phase change due to the  
25 irradiation of the laser light and preventing crystal grain boundaries or defects from being formed.

Through the above steps, an excellent second crystalline silicon film 204 having a film surface with few ridges was obtained on the first crystalline silicon film (Fig. 2E).

Here, although nickel added at the crystallization exists as impurities in the first crystalline silicon film 202, impurities (nickel etc.) are hardly contained in the second crystalline silicon film 204, and a semiconductor layer with excellent device characteristics can be obtained. The crystal growth of the second crystalline silicon film is carried out using the surface of the second crystalline silicon film of the under layer as the nuclei of crystal growth. Here, the first crystalline silicon film is longitudinally grown. Although the second crystalline silicon film is influenced from the surface of the first crystalline silicon film, since the crystallizing method is different, the crystal structure is different. Especially, in the first crystalline silicon film 202, crystals radially grow from a limitless number of point centers on the entire surface, and the respective radial crystals grow like rods where the crystal lattices are continuous. On the other hand, the second crystalline silicon film has a crystal structure similar to the crystal structure as shown in Fig. 14B (crystal grain boundaries of tortoiseshell patterns).

### [Embodiment 3]

In this embodiment, as compared with Embodiment 2, a different method (technical content set forth in Embodiment 2 of Japanese Patent Laid-open No. Hei. 7-130652 having U.S. Patent 5,643,826 corresponding thereto, which are herein incorporated by reference, by the present inventors (details are disclosed in Japanese Patent Laid-Open No. Hei. 8-78329, which is herein incorporated by reference)) of adding a catalytic element for facilitating crystallization is used, and steps of obtaining a second crystalline silicon film on a first crystalline silicon film obtained by a heat treatment will be described with reference to Figs. 3A to 3F.

First, a silicon oxide film with a thickness of 500 nm was formed as an under oxide film (not shown) on a substrate 300 through deposition and decomposition of TEOS by a plasma CVD method. Then a first amorphous silicon film 301 with a thickness of 30 nm was formed by an LPCVD method (Fig. 3A).

Next, a crystallizing step of the first amorphous silicon film 301 is carried out by

using a technique set forth in Japanese Patent Laid-open No. Hei. 8-78329. According to the technique set forth in the publication, a mask insulating film 306 for selecting an added region of a catalytic element is first formed. Then a solution containing nickel (Ni) as a catalytic element for facilitating crystallization of the first amorphous silicon film 301 is applied by a spin coating method, and a Ni containing layer 305 is formed (Fig. 3B).

Incidentally, as the catalytic element, cobalt (Co), iron (Fe), palladium (Pd), platinum (Pt), copper (Cu), gold (Au), germanium (Ge), lead (Pb), indium (In), and the like may be used other than nickel.

Moreover, the adding step of the catalytic element is not limited to the spin coating method, but an ion implantation method using a resist mask or a plasma doping method may be used. In this case, since it is easy to lower an occupied area of an added region and to control a growth distance of a lateral growth region, the latter method becomes an effective technique when a minute circuit is constituted.

Next, after the adding step of the catalytic element is ended, dehydrogenating at about 450°C for 1 hour is carried out, and then, a heat treatment in an inert gas atmosphere, a hydrogen atmosphere, or an oxygen atmosphere at a temperature of 500 to 700°C (typically 550 to 650°C) for 4 to 24 hours is carried out so that the first amorphous silicon film 301 is crystallized. In this embodiment, a heat treatment in a nitrogen atmosphere at 570°C for 14 hours is carried out (Fig. 3C).

At this time, crystallization of the first amorphous silicon film 301 is progressed first from nuclei produced in the region 307 where nickel was added, and a crystal region 302 grown in almost parallel to the substrate surface of the substrate 300 is formed. The present inventors refer to the crystal region 302 as a lateral growth region. Since respective crystals in the lateral growth region 302 are collected in a comparatively uniform state, the region has a merit that total crystallinity is superior. However, in this embodiment, the entire surface of the amorphous silicon film is not crystallized as in Embodiment 2, but there are also portions that are not crystallized. That is, only necessary portions are selectively crystallized, and the amount of added nickel is suppressed to a

minimum necessary amount.

It is preferable to add a step of removing the nickel containing layer remaining on the first crystalline silicon film by a chlorine-based etchant after the heat treatment for the crystallization is ended. The mask insulating film 306 was removed by buffer hydrofluoric acid (Fig. 3D).

Then a second amorphous silicon film 303 with a thickness of 20 to 100 nm, typically 20 to 60 nm, in this embodiment, 25 nm was formed by a plasma CVD method on the first crystalline silicon film or the first crystalline silicon film in which the oxide film on the surface was removed (Fig. 3E). Although it is preferable that this second amorphous silicon film is obtained under the same manufacturing condition as the first amorphous silicon film, the condition is not particularly limited, but a different manufacturing step may be adopted.

Thereafter, a laser crystallizing process was carried out. As to laser light, it is preferable to use a pulse oscillation laser having a wavelength not longer than an ultraviolet region. For example, it is preferable to use a KrF excimer laser or a XeCl excimer laser. In this embodiment, the XeCl excimer laser (wavelength 308 nm) is used. The energy density of a linear laser beam on an irradiated surface is 100 to 500 mJ/cm<sup>2</sup>, preferably 130 to 300 mJ/cm<sup>2</sup>, in this embodiment, 180 mJ/cm<sup>2</sup>, and irradiation is made to carry out crystallization.

At the irradiation of the laser light, a step of heating a sample (substrate) or an irradiated surface at a temperature ranging from 400°C to the distortion point of the glass substrate, or at a temperature ranging from 400°C to the crystallization temperature of the amorphous silicon film may be added. It is desirable that the temperature of this step is made as high as possible.

Through the above steps, an excellent second crystalline silicon film 304 having a film surface with few ridges was obtained on the lateral growth region 302 (Fig. 3F).

Here, as compared with Embodiment 2, nickel existing as an impurity in the first crystalline silicon film (lateral growth region 302) is less, and impurities (nickel etc.) are

hardly contained in the second crystalline silicon film 304, so that a semiconductor layer with excellent device characteristics can be obtained. The crystal growth of the second crystalline silicon film 304 is carried out using the portion (lateral growth region 302), which is crystallized on the surface of the silicon film of the under layer, as the nuclei of the crystal growth. Although the second crystalline silicon film 304 is influenced from the surface of the lateral growth region 302, since the crystallizing method is different, the crystal structure is different. Especially, in the crystals of the lateral growth region 302, the structure of crystal lattices is such that the crystal lattices are continuous in almost a specific direction to grow into thin rod-like crystals or thin flattened rod-like crystals are grown. On the other hand, the second crystalline silicon film has a crystal structure similar to the crystal structure shown in Fig. 14B.

#### [Embodiment 4]

In this embodiment, an example in which nickel elements are gettered by using phosphorus elements after the first crystalline silicon film is obtained in the foregoing Embodiment 3, will be described with reference to Figs. 4A to 4G. Fig. 4D is equivalent to Fig. 3D of Embodiment 3. Since steps up to the step of obtaining the first crystalline silicon film are the same as Embodiment 3, their explanation will be omitted. Although the description is made with reference to Figs. 4A to 4G, as the need arises, the foregoing reference numerals will be used for the description.

After a lateral growth region 302 is obtained, catalytic elements used for crystallization are reduced by gettering means using phosphorus (heat treatment at 500 to 700°C) (Japanese Patent Laid-Open No. 10-247735 having U.S. Patent Application Serial No. 09/034,041 corresponding thereto, which are herein incorporated by reference).

In the case where the phosphorus elements is used, phosphorus is added in a region other than the region to be an active layer. Reference numeral 401 denotes a region where phosphorus was added. As a method of adding phosphorus, as shown in Fig. 4B, a resist 405 covering the region to be an active layer is first formed. Next, phosphorus ions are



injected by an ion doping method or by applying a solution by spin coating (Fig. 4C).

Thereafter, a heat treatment at a temperature of 400 to 1050°C (preferably 600 to 750°C) for 1 min to 20 hr (typically 30 min to 3 hr) is carried out (Fig. 4D). Since the catalytic elements are gettered by this heat treatment into the region where phosphorus  
5 was added, the concentration of the catalytic elements in the active layer is lowered to  $5 \times 10^{17}$  atoms/cm<sup>3</sup> or less. The concentration of these elements is defined as the minimum value of measured values by a SIMS (Secondary Ion Mass Spectroscopy).

After the gettering step is ended in this way, an island region 406 of the first crystalline silicon film to be a crystal nuclei, is formed by using a region 402 other than  
10 the region where phosphorus is added (Fig. 4E).

Thereafter, in accordance with steps of Embodiment 3, a second amorphous silicon film 403 is formed (Fig. 4F), and crystallization of this second amorphous silicon film is carried out by laser irradiation, so that a second crystalline silicon film 404 having a surface with few ridges and having excellent crystallinity is obtained (Fig. 4G). With  
15 respect to the second crystalline silicon film obtained here, as compared with Embodiments 2 and 3, the crystalline silicon film of the first layer has little nickel existing as an impurity, and the crystalline silicon film of the second layer does not contain impurities, so that a semiconductor layer with excellent device characteristics can be obtained. The crystal growth of the second crystalline silicon film is carried out while the  
20 portion crystallized on the surface of the island region 406 of the first crystalline silicon film serving as the under layer is used as nuclei of the crystal growth.

As other means for gettering nickel elements, a heat treatment (at 700°C to 1000°C) in an atmosphere containing halogen elements (Japanese Patent Laid-open No. Hei. 10-135468 having U.S. Patent Application Serial No. 08/951,193 corresponding thereto,  
25 which are herein incorporated by reference) may be carried out to reduce the catalytic elements.

[Embodiment 5]

Embodiment 5 is an example in which a first crystalline silicon film or a lateral growth region obtained in the above embodiments 1 to 3 is patterned, so that an island region of the first crystalline silicon film to be crystal nuclei is formed. Although it is not preferable to add a patterning step between a first crystallizing process step and a film growth step of a second amorphous silicon film since impurities in the surface of the first crystalline silicon film are increased by the addition, so that it is preferable to remove impurities by adding an etching step. In this embodiment, in the case where the island region of the first crystalline silicon film to be the crystal nuclei is formed, the second amorphous silicon film can be selectively crystallized. Thus, since the region regarded as single crystal or region regarded as substantially single crystal can be selectively utilized as crystal nuclei, a second crystalline silicon film having excellent crystallinity can be obtained at a required portion. Thus, the entire surface of the second crystalline silicon film obtained in this embodiment does not have uniform crystallinity.

[Embodiment 6]

Embodiment 6 is an example in which a second crystalline silicon film is obtained by using an infrared lamp instead of laser light in the above Embodiments 1 to 5. In the case where infrared rays are used, a silicon film can be selectively heated without heating a substrate very much. Thus, an effective heat treatment can be carried out without giving thermal damages to the substrate.

[Embodiment 7]

In this embodiment, although a thin film transistor is completed by using a first crystalline silicon film (or a lateral growth region) and a second crystalline silicon film obtained in the foregoing respective embodiments, steps shown in this embodiment are nothing more than one example, and it is needless to say that the present invention is not limited to the steps of this embodiment. Incidentally, the description will be made with reference to Figs. 5A to 5D and Figs. 6A to 6C, and as the need arises, the foregoing

reference numerals will be used for the description.

First, a first crystalline silicon film (or a lateral growth region) and a second crystalline silicon film obtained in the above respective embodiments are patterned as shown in Fig. 5A, so that a first island-like semiconductor layer 106 and a second island-like semiconductor layer 105 is formed.

Next, as shown in Fig. 5B, a silicon oxide film functioning as a gate insulating film 107 is formed. This silicon oxide film is formed by using a plasma CVD method or a sputtering method. In this embodiment, its film thickness is 150 nm.

Thereafter, a step of obtaining a silicon oxide film by carrying out a thermal oxidation step may be added.

Further, a film of a material consisting from aluminum or containing aluminum as its main ingredient (in this embodiment, an aluminum film containing scandium of 2 wt%) is formed and is patterned to form an original 108 of a gate electrode/wiring (Fig. 5C). The gate wiring may be made of silicon, metal such as tungsten or titanium, or silicide of those. It is appropriate that a material of the gate electrode is determined according to required characteristics of a semiconductor circuit, heat resistance temperature of a substrate, or the like. In this embodiment, the film thickness is 400 nm.

Next, a porous anodic oxidation film 109 and a nonporous anodic oxidation films 110 are formed by a technique disclosed in Japanese Patent Laid-open No. Hei. 7-135318 having U.S. Patent 5,648,277 corresponding thereto, which are herein incorporated by reference (Fig. 5D). Then the gate insulating layer 107 is etched by using these anodic oxidation films and the gate electrode 111 as masks, so that a gate insulating film 112 is formed. Thereafter, the porous anodic oxide film 109 is removed (Fig. 6A).

Thereafter, N-type or P-type impurities are introduced into the silicon island by an ion doping method or the like in a self-aligning manner, so that two-layer channel formation regions 116a and 116b, two-layer low concentration impurity regions 115a and 115b, two-layer source regions 113a and 113b, and two-layer drain regions 114a and 114b are formed (Fig. 6B).

Then an interlayer insulating film 117 is deposited by a well-known means. In this embodiment, its film thickness is 900 nm. Contact holes are formed in this film and aluminum alloy wiring is formed so that a source electrode 118 and a drain electrode 119 are obtained. Finally, a heat treatment at about 350°C for one hour is carried out in a hydrogen atmosphere, so that hydrogenating of the whole component is carried out. In this way, a thin film transistor (TFT) is completed (Fig. 6C).

Further, such a structure may be adopted that a silicon nitride film or the like with a thickness of 10 to 50 nm is deposited as a protective film (passivation film) on the foregoing transistor by a plasma CVD method, contact holes communicating with wiring of an output terminal are bored in this film, and the wiring is formed.

#### [Embodiment 8]

In the embodiment, description will be made on an example of steps for manufacturing a reflection type liquid crystal panel using a semiconductor device obtained by practicing Embodiment 7.

A crystalline silicon film having a two-layer structure is manufactured in accordance with manufacturing steps described in Embodiments 1 to 6. Fig. 7 is a sectional view of an active matrix type liquid crystal panel, and shows a CMOS circuit in a region constituting a driver circuit or a logic circuit, and a pixel TFT in a region constituting a pixel matrix circuit.

The CMOS circuit is manufactured by complementarily combining an N-channel TFT and a P-channel TFT. Since the structure and manufacturing method of the respective TFTs constituting the CMOS circuit has been explained in Embodiment 7, their explanation will be omitted.

With respect to the pixel TFT, it is necessary to add further contrivance to the TFT constituting a driver circuit or the like. In Fig. 7, reference numeral 701 denotes a silicon nitride film, which is used also as a passivation film of the CMOS circuit and at the same time, functions as an insulator constituting an auxiliary capacitance.

A titanium film 702 is formed on the silicon nitride film 701, and the auxiliary capacitance is formed between the titanium film 702 and the drain electrode 703. At this time, since the insulator is the silicon nitride film having a high relative dielectric constant, the capacitance can be made large. Since it is not necessary to take an aperture ratio into consideration in the reflection type, there is no problem even when a structure as shown in Fig. 7 is adopted.

Reference numeral 704 denotes an interlayer insulating film made of an organic resin film, and polyimide is used in this embodiment. It is preferable that the thickness of the interlayer insulating film is made as thick as about  $2\text{ }\mu\text{m}$  to secure sufficient flatness. By doing so, a pixel electrode 705 having superior flatness can be formed.

The pixel electrode 705 is formed of a material consisting from aluminum or containing aluminum as its main ingredient. It is appropriate that a material having the highest possible reflectivity is used. When the excellent flatness is secured, loss due to diffused reflection on the surface of the pixel electrode can be decreased.

An orientation film 706 is formed on the pixel electrode 705. The orientation film 706 is made to have orienting force by rubbing. The above is the description on the structure of a TFT side substrate (active matrix substrate).

On the other hand, an opposite substrate is constituted by forming a transparent conductive film 708 and an orientation film 709 on a transmissive substrate 707. As the need arises, a black mask or a color filter may be provided other than those.

After spacers are distributed and seal material printing is carried out, a liquid crystal layer 710 is sealed so that a reflection type liquid crystal panel having a structure shown in Fig. 7 is completed. The liquid crystal layer 710 can be freely selected according to the operation mode (ECB mode, guest host mode, etc.) of a liquid crystal.

Fig. 8 schematically shows an outer appearance of the active matrix substrate constituting the reflection type liquid crystal panel as shown in Fig. 7. In Fig. 8, reference numeral 801 denotes a silicon substrate on which a thermal oxidation film is provided in accordance with the steps of Embodiment 1, 802 denotes a pixel matrix circuit, 803

denotes a source driver circuit, 804 denotes a gate driver circuit, and 805 denotes a logic circuit.

Although the logic circuit 805 includes all logical circuits constituted by TFTs in a wide sense, in order to differentiate the logic circuit from circuits conventionally called  
5 a pixel matrix circuit and a driver circuit, the term here indicates signal processing circuits (memory, D/A converter, clock generator, etc.) other than those.

An FPC (Flexible Print Circuit) terminal as an external terminal is attached to the thus formed liquid crystal panel. What is called as a liquid crystal module in general is a liquid crystal panel in the state where an FPC is attached.

#### 10 [Embodiment 9]

In this embodiment, an example of steps of manufacturing a transmission type liquid crystal panel, which uses a crystalline silicon film having a two-layer structure and obtained in Embodiments 1 to 6 and uses a TFT manufactured in Embodiment 7, will be described.

15 However, since the basic structure is the same as the reflection type liquid crystal panel described in Embodiment 7, different points in structure will be particularly described.

In the case of the transmission type liquid crystal panel shown in Fig. 9, the structure of a black mask 901 is greatly different from the reflection type liquid crystal panel. That  
20 is, since a sufficient aperture ratio is required in the transmission type, it is important to make such a structure that the black mask does not overlap to the utmost at portions other than a TFT portion and a wiring portion.

Thus, in this embodiment, a drain electrode 902 is formed so as to overlap with an upper portion of the TFT portion, and an auxiliary capacitance is formed between the  
25 drain electrode and the black mask 901. Like this, when the auxiliary capacitance, which is apt to occupy a wide area, is formed over the TFT, it is possible to widen the aperture ratio.

Reference numeral 903 denotes a transparent conductive film to be a pixel electrode. As the transparent conductive film 903, although ITO is most frequently used, other material (tin oxide based materials, etc.) may be used.

[Embodiment 10]

5 This embodiment is an example in which the present invention is applied to a so-called silicon gate TFT in which a silicon film having conductivity is used as a gate electrode. A panel of this embodiment is manufactured by using a two-layer crystalline silicon film described in Embodiment 1. Since the basic structure is almost the same as the TFT manufactured in Embodiment 7, explanation will be made while paying attention  
10 to only differences.

In Fig. 10, reference numeral 11 denotes a gate electrode of an N-channel TFT, 12 denotes a gate electrode of a P-channel TFT, and 13 denotes a gate electrode of a pixel TFT. The gate electrodes 11 to 13 are made of N-type polysilicon films added with phosphorus or arsenic, or P-type polysilicon films added with boron or indium.

15 In the CMOS circuit, it is also possible to constitute a dual gate type CMOS circuit in which an N-type polysilicon gate is used for an N-channel TFT and a P-type polysilicon gate is used for a P-channel TFT. Reference numeral 17 denotes a part of a source region of the second crystalline silicon film in the two-layer structure crystalline silicon film, which has the surface with few ridges and is added with an impurity to give an N type.  
20 Reference numeral 18 denotes a part of a drain region of the second crystalline silicon film in the two-layer structure crystalline silicon film, which has the surface with few ridges and is added with an impurity to give a P type. Reference numeral 19 denotes a part of a channel region using the second crystalline silicon film having the surface with few ridges in the two-layer structure crystalline silicon film.

25 As merits of using the silicon film as a gate electrode like this, it is possible to enumerate such features that heat resistance is high, and handling is easy because of the silicon film. Moreover, by using a reaction with a metal film, a silicide structure

(including a polycide structure) can be adopted.

For that purpose, after the gate electrodes 11 to 13 are formed, side walls 14 to 16 are formed, a metal film (not shown) of titanium, tungsten, or the like is formed, and a heat treatment is carried out to form metal silicide. In Fig. 10, this metal silicide is formed  
5 in the source region 17, the drain region 18, and part of the gate electrodes.

A structure in which metal silicide is formed in a self-aligning manner by using a side wall or the like in this way is called a salicide structure. It is effective to adopt such a structure since an ohmic contact with a lead electrode (source/drain electrode, etc.) becomes excellent.

#### 10 [Embodiment 11]

Although an example of a top gate type TFT structure has been described in Embodiments 1 to 4, in this embodiment, as other TFT structures, an example of a bottom gate type TFT will be described. Such a structure is effective since an ohmic contact between a surface of an active layer with few ridges, which is made of a second crystalline  
15 silicon film, and a lead electrode (source/drain electrode, etc.) becomes excellent. Moreover, since the surface of the active layer has few ridges, there are few traps and an electric property of high on/off ratio can be obtained.

A process of Embodiment 11 is shown in Figs. 11A-11E, and 12A-12B. First, an under film (not shown) made of an insulating film containing silicon as its main ingredient  
20 is formed on a glass substrate 1100 (or quartz, or silicon substrate). A gate electrode (first wiring) made of a conductive film is formed thereon. Here, a first patterning step (formation of a gate electrode 1101) is carried out.

It is preferable that the thickness of the gate electrode 1101 is 200 to 500 nm. In this embodiment, the gate electrode was formed by using a Ta film with a thickness of 300 nm.  
25 As the gate electrode 1101, it is possible to use a material (tantalum, tungsten, titanium, chromium, molybdenum, conductive silicon, conductive polysilicon, etc.) having such heat resistance that the material can resist against at least a temperature of about



600°C.

Next, a gate insulating layer 1102 made of a silicon nitride film, a silicon nitride oxide film indicated by SiOxNy, or a silicon oxide film (it is preferable that the film thickness is 10 to 200 nm, and in this embodiment, a silicon nitride oxide film with a thickness of 125 nm, which is formed by using a plasma CVD method with mixture of TEOS of organic silane and oxygen, is used) is formed (Fig. 11A).

After this step, like Embodiments 1 to 3, film formation and heating crystallization of a first amorphous silicon film (Fig. 11B) and film formation and laser crystallization of a second amorphous silicon film (Fig. 11C) are carried out, so that a first crystalline silicon film 1103 and a second crystalline silicon film 1104 with few ridges are obtained.

Then, patterning is carried out so that active layers with a desired shape (an active layer 1105 made of the first crystalline silicon film, an active layer 1106 made of the second crystalline silicon film ) are obtained (Fig. 11D).

Next, for the purpose of manufacturing a low concentration impurity region, a silicon oxide film (the film thickness is preferably 100 to 300 nm, in this embodiment, 150 nm) is formed to cover the active layer 1106 made of the second crystalline silicon film, and then, patterning is carried out so that a doping mask 1107a for forming a channel formation region is formed (Fig. 11E).

Although the low impurity region and high impurity region may be manufactured by using any well-known method, in this embodiment, by using the doping mask 1107a, the first doping is carried out through a well known method (for example, an ion doping method), and by using a doping mask 1107b in which patterning is again applied to the doping mask 1107a, the second doping is carried out by a well-known method (for example, an ion doping method). In this way, low impurity regions 1109a and 1109b, source regions 1108a and 1108b, drain regions 1110a and 1110b, and channel regions 1111a and 1111b are manufactured (Fig. 12A).

In the case where a TFT having a low resistance region and a high resistance

impurity region is manufactured, although the low resistance region and the high resistance impurity region may be manufactured by any well-known method, it is preferable to use such a method that doping of impurity ions is carried out while a doping mask is used as a mask, and then, irradiation of laser light is carried out from the rear surface of a substrate while a gate electrode is used as a mask to activate the impurity ions, so that the low resistance region and the high resistance impurity region are manufactured.

Thereafter, a protective film (an interlayer insulating film 1114) is formed, and a lead wiring electrode of the gate electrode and lead wiring electrodes 1112 and 1113 of the source/drain are formed, so that a (N-channel or P-channel) bottom gate type polysilicon thin film transistor is completed. This protective film may be constituted by a silicon nitride film, a silicon oxide film, an organic resin film, or a laminated film of those (Fig. 12B).

#### [Embodiment 12]

Although an example of a bottom gate type TFT structure has been described in Embodiment 11, in this embodiment, as another TFT structure, an example of a channel etch type TFT will be described. The main difference from Embodiment 11 is that a doping mask is not provided.

This embodiment uses the same steps as those of Embodiment 11 up to the step shown in Fig. 11D [an under film having insulation properties is formed on a glass substrate 1300 (or a quartz substrate), a gate electrode 1301 made of a conductive film is formed thereon, a gate insulating layer 1302 is formed thereon, crystalline silicon films (1303, 1304) of two layers formed by different crystallizing methods are stacked thereon, and patterning is carried out].

Although not shown in the drawing, a part of the exposed gate insulating layer 1302 is etched to bore a contact hole for electrically connecting the gate electrode 1301 to a subsequently formed electrode.

Next, a metal film having conductivity is formed, and a source electrode 1305 and a drain electrode 1306 are formed by patterning. In this embodiment, a laminated film made of three-layer structure of Ti (50 nm)/Al (200 to 300 nm)/Ti (50 nm) is used. As described above, a wiring line for electrical connection to the gate electrode 1301 is also  
5 formed at the same time.

Here, a region just above the gate electrode, that is, a region 1308 (hereinafter referred to as a channel etch region) placed between the source electrode and the drain electrode is later determined depending upon the length of a channel formation region and an offset region.

10 Next, dry etching is carried out by using the source electrode 1305 and the drain electrode 1306 as masks, so that an island is etched in a self-aligning manner. At this time, in this embodiment, only a semiconductor layer with a thickness of 10 to 100 nm (typically 10 to 75 nm, preferably 15 to 45 nm) is left. In this embodiment, a semiconductor layer (corresponding to reference numeral 1308) with a thickness of 30 nm was left.

15 In this way, when etching (channel etch step) of the island is ended, a silicon oxide film, a silicon nitride film, or an organic resin film is formed as a protective film 1307, and a TFT is completed. This protective film may be constituted by a laminated film.

In this state, in the island which was subjected to the channel etch, a region just above the gate electrode becomes the channel formation region. A region positioned  
20 outside of the end of the gate electrode, to which an electric field from the gate electrode is not applied, and becomes an offset region.

Through the above steps, the structure (channel etch structure) as shown in Fig. 13 is obtained.

#### [Embodiment 13]

25 Since a TFT of the present invention uses a semiconductor thin film, which is regarded as substantially single crystal, for an active layer, it shows electric characteristics comparable to a MOSFET using single crystal silicon.

The TFT obtained in the present invention has very excellent switching characteristics and high speed operation characteristics. Thus, it becomes possible to constitute an integrated circuit such as an LSI, by TFTs, which is conventionally constituted by MOSFETs.

5        Moreover, it also becomes possible to constitute a three-dimensional structure semiconductor device (semiconductor circuit) by actively using the merits of a TFT using a thin film.

When a semiconductor circuit of three-dimensional structure is constituted by using TFTs of the present invention, it is possible to constitute the semiconductor circuit having  
10        very rich functionality. Incidentally, in the present specification, the term "semiconductor circuit" is used to mean an electric circuit for controlling and changing electric signals by using semiconductor properties.

Moreover, it is also possible to constitute an LCD driver circuit or a high frequency circuit (MMIC: Microwave Module IC) for a portable equipment by using TFTs of the  
15        present invention. That is, if the TFTs of the present invention are used, it is possible to manufacture a conventional IC chip or LSI chip with the TFTs.

#### [Embodiment 14]

According to the present invention, other than the liquid crystal display device, it is also possible to manufacture other electro-optical devices such as an active matrix type  
20        EL (electroluminescence) display device and an EC (electrochromic) display device. It is also possible to manufacture an image sensor or a CCD.

Incidentally, the term "electro-optical device" is used to mean a device for converting an electric signal to an optical signal or a device for carrying out the reverse conversion.

#### 25        [Embodiment 15]

In this embodiment, examples of electronic apparatuses (applied products) using

electro-optical devices of the present invention will be described with reference to Figs. 15A to 15F. Incidentally, the electronic apparatus means a product incorporating a semiconductor circuit and/or electro-optical device.

As electronic apparatuses to which the present invention is applied, a video camera,  
5 an electronic still camera, a projector, a head mount display, a car navigation system, a personal computer, a portable information terminal (mobile computer, portable telephone, PHS (Personal Handyphone System) etc.) and the like are enumerated.

Fig. 15A shows a portable telephone which is constituted by a main body 2001, an audio output portion 2002, an audio input portion 2003, a display device 2004, an  
10 operation switch 2005, and an antenna 2006. The present invention can be applied to the audio output portion 2002, the audio input portion 2003, the display device 2004, and the like.

Fig. 15B shows a video camera which is constituted by a main body 2101, a display device 2102, an audio input portion 2103, an operation switch 2104, a battery 2105, and  
15 an image receiving portion 2106. The present invention can be applied to the display device 2102, the audio input portion 2103, the image receiving portion 2106, and the like.

Fig. 15C shows a mobile computer which is constituted by a main body 2201, a camera portion 2202, an image receiving portion 2203, an operation switch 2204, and a  
20 display device 2205. The present invention can be applied to the camera portion 2202, the image receiving portion 2203, the display device 2205, and the like.

Fig. 15D shows a head mount display which is constituted by a main body 2301, a display device 2302, and a band portion 2303. The present invention can be applied to the display device 2302.

25 Fig. 15E shows a rear type projector which is constituted by a main body 2401, a light source 2402, a display device 2403, a polarizing beam splitter 2404, reflectors 2405 and 2406, and a screen 2407. The present invention can be applied to the display device 2403.

Fig. 15F shows a front type projector which is constituted by a main body 2501, a light source 2502, a display device 2503, an optical system 2504, and a screen 2505. The present invention can be applied to the display device 2503.

As set forth above, the scope of application of the present invention is extremely broad and the present invention can be applied to electronic apparatuses of any field. Moreover, the present invention can be applied to any product if the product requires an electro-optical device or a semiconductor circuit.

As described above, according to the present invention, a first crystalline silicon film is formed by using a well-known crystallizing means, a second amorphous silicon film is formed on the obtained first crystalline silicon film as an under film, and the second amorphous silicon film is crystallized by irradiation of laser light or the like, so that a silicon film having excellent crystallinity and a surface with few ridges can be obtained.

As compared with the prior art, since there are few ridges and the flatness of the surface is superior, in a top gate type TFT structure, an interfacial level between a gate insulating film and an active layer can be lowered. Moreover, in a bottom gate type TFT structure, an interfacial level between a source/drain electrode and an active layer can be lowered and an ohmic contact can be made excellent.

Moreover, as compared with an under film of  $\text{SiO}_2$  or the like, since an under film is the first crystalline silicon film, a critical energy is small. Thus, since crystallization can be made by laser light with an energy density (typically 100 to 300 mJ/cm<sup>2</sup>) lower than that of the prior art, a process margin is improved.

Moreover, in the structure (the foregoing Embodiments 1 and 2) that after a first crystalline silicon film is obtained, a second amorphous silicon film is crystallized, as compared with the prior art (a second amorphous silicon film is selectively crystallized by using a patterned first crystalline silicon film as seed crystals, and only a second crystalline silicon film is used as an active layer), since laser light can be made to be absorbed uniformly in the amorphous silicon film, it is possible to obtain a silicon film

having more uniform crystallinity over the whole surface of the film.

Thus, also in the present invention, the structure (the foregoing Embodiments 1 and 2) in which a second amorphous silicon film is crystallized after a first crystalline silicon film is obtained, is preferable to the structure (the foregoing Embodiments 3 and 5) in which a second amorphous silicon film is selectively crystallized after a first crystalline silicon film is patterned.

Moreover, at the same time as crystallization of the second amorphous silicon film by irradiation of laser light, the film quality of the first crystalline silicon film can also be improved.

Moreover, when these two-layer silicon films are used as an active layer of a thin film transistor, a thin film semiconductor device having higher reliability and superior performance can be obtained.

## WHAT IS CLAIMED IS:

1. A method of manufacturing a semiconductor device, said method comprising the steps of:

- forming a first amorphous semiconductor film comprising silicon over an  
5 insulating surface;
- forming a first crystalline semiconductor film by heating the first amorphous semiconductor film to crystallize;
- forming a second amorphous semiconductor film comprising silicon on the first crystalline semiconductor film; and
- 10 forming a second crystalline semiconductor film by applying an energy to crystallize the second amorphous semiconductor film.

2. A method of manufacturing a semiconductor device, said method comprising the steps of:

- 15 forming a first amorphous semiconductor film comprising silicon over an insulating surface;
- forming a first crystalline semiconductor film by heating the first amorphous semiconductor film to crystallize;
- etching a surface of the first crystalline semiconductor film;
- 20 forming a second amorphous semiconductor film comprising silicon on the first crystalline semiconductor film; and
- forming a second crystalline semiconductor film by applying an energy to crystallize the second amorphous semiconductor film.

25 3. A method according to claim 2, wherein an etchant including hydrofluoric acid is used in the etching step.



4. A method of manufacturing a semiconductor device, said method comprising the steps of:

forming a first amorphous semiconductor film comprising silicon over an insulating surface;

5 introducing a material capable of promoting crystallization of silicon in contact with the first amorphous semiconductor film;

forming a first crystalline semiconductor film by heating the first amorphous semiconductor film to crystallize;

10 forming a second amorphous semiconductor film on the first crystalline semiconductor film; and

forming a second crystalline semiconductor film by applying an energy to crystallize the second amorphous semiconductor film.

5. A method according to claim 4, wherein said material is at least one selected from  
15 the group consisting of Fe, Co, Ni, Ru, Rh, Pd, Os, Ir, Pt, Cu, Ag, and Au.

6. A method according to claim 4, wherein said material is nickel.

7. A method according to claim 1, wherein the second amorphous semiconductor  
20 film is crystallized using a surface of the first crystalline semiconductor film as crystal nuclei.

8. A method according to claim 1, wherein the energy is irradiating with a laser light.

25 9. A method according to claim 1, wherein the energy is at least one selected from the group consisting of irradiating with an intense light and heating simultaneously or sequentially in addition to irradiating with a laser light.

10. A method according to claim 8, wherein the laser light has an irradiation energy density in the range of 100 to 300 mJ/cm<sup>2</sup>.

11. A semiconductor device comprising an active layer, a gate insulating film, and  
5 a gate electrode formed over an insulating substrate,

said active layer includes a laminated structure comprising:

a first crystalline semiconductor film comprising silicon over said  
insulating surface; and

a second crystalline semiconductor film comprising silicon formed on the  
10 first crystalline semiconductor film,

wherein the first crystalline semiconductor film is crystallized by heating,

and

wherein the second crystalline semiconductor film is crystallized by irradiating  
with a laser light.

15

12. A device according to claim 11, wherein the first crystalline semiconductor film  
includes thin rod-like crystals or flattened rod-like crystals.

13. A device according to claim 11, wherein the first crystalline semiconductor film  
20 comprises thin rod-like crystals or flattened rod-like crystals which are grown with  
intervals and substantially in parallel to each other.

14. A method according to claim 2, wherein the second amorphous semiconductor  
film is crystallized using a surface of the first crystalline semiconductor film as crystal  
nuclei.

25 15. A method according to claim 4, wherein the second amorphous semiconductor  
film is crystallized using a surface of the first crystalline semiconductor film as crystal

nuclei.

16. A method according to claim 2, wherein the energy is irradiating with a laser light.

17. A method according to claim 4, wherein the energy is irradiating with a laser  
5 light.

18. A method according to claim 2, wherein the energy is at least one selected from the group consisting of irradiating with an intense light and heating simultaneously or sequentially in addition to irradiating with a laser light.

19. A method according to claim 4, wherein the energy is at least one selected from  
10 the group consisting of irradiating with an intense light and heating simultaneously or sequentially in addition to irradiating with a laser light.

20. A method according to claim 9, wherein the laser light has an irradiation energy density in the range of 100 to 300 mJ/cm<sup>2</sup>.

21. A method according to claim 16, wherein the laser light has an irradiation energy  
15 density in the range of 100 to 300 mJ/cm<sup>2</sup>.

22. A method according to claim 17, wherein the laser light has an irradiation energy density in the range of 100 to 300 mJ/cm<sup>2</sup>.

23. A method according to claim 18, wherein the laser light has an irradiation energy density in the range of 100 to 300 mJ/cm<sup>2</sup>.

24. A method according to claim 19, wherein the laser light has an irradiation energy density in the range of 100 to 300 mJ/cm<sup>2</sup>.

25. A method according to claim 1, wherein said semiconductor device is at least one of the group consisting of a liquid crystal display device, an EL display device, an EC display device, an image sensor, and a CCD.

26. A method according to claim 1, wherein said semiconductor device is at least one of the group consisting of a video camera, an electronic still camera, a projector, a head mount display, a car navigation system, a personal computer, and a portable information terminal.

27. A method according to claim 2, wherein said semiconductor device is at least one of the group consisting of a liquid crystal display device, an EL display device, an EC display device, an image sensor, and a CCD.

28. A method according to claim 2, wherein said semiconductor device is at least one of the group consisting of a video camera, an electronic still camera, a projector, a head mount display, a car navigation system, a personal computer, and a portable information terminal.

29. A method according to claim 4, wherein said semiconductor device is at least one of the group consisting of a liquid crystal display device, an EL display device, an EC display device, an image sensor, and a CCD.

30. A method according to claim 4, wherein said semiconductor device is at least one of the group consisting of a video camera, an electronic still camera, a projector, a head mount display, a car navigation system, a personal computer, and a portable information

terminal.

31. A device according to claim 11, wherein said semiconductor device is at least one of the group consisting of a liquid crystal display device, an EL display device, an EC display device, an image sensor, and a CCD.

- 5      32. A device according to claim 11, wherein said semiconductor device is at least one of the group consisting of a video camera, an electronic still camera, a projector, a head mount display, a car navigation system, a personal computer, and a portable information terminal.

## ABSTRACT OF THE DISCLOSURE

A semiconductor device, which uses a crystalline silicon film having high crystallinity and a flat surface with few ridges and has high characteristics, and a method of manufacturing the semiconductor device are provided. According to the manufacturing method, a first amorphous silicon film is crystallized by using a heat treatment. A second amorphous silicon film is formed on a first crystalline silicon film thus obtained as an under film, and the second amorphous silicon film is crystallized by irradiation of laser light, so that a silicon film having excellent crystallinity and a surface with few ridges is obtained. The first crystalline silicon film and the second crystalline silicon film having different crystal structures are used as an active layer of a thin film transistor.

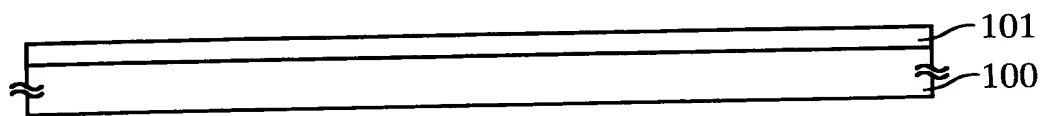


FIG. 1A

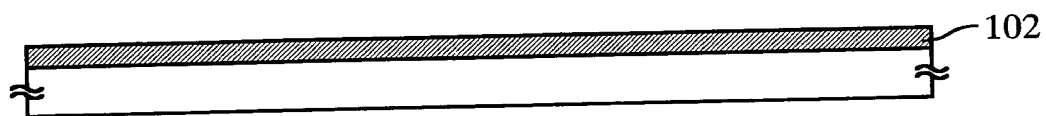


FIG. 1B

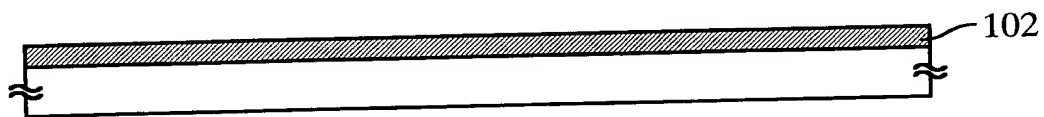


FIG. 1C

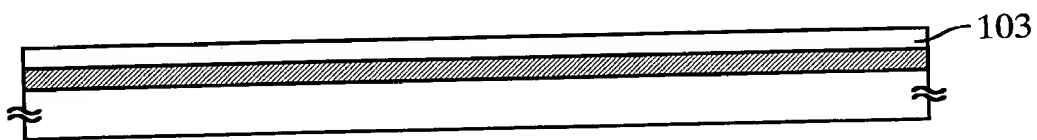


FIG. 1D



FIG. 1E

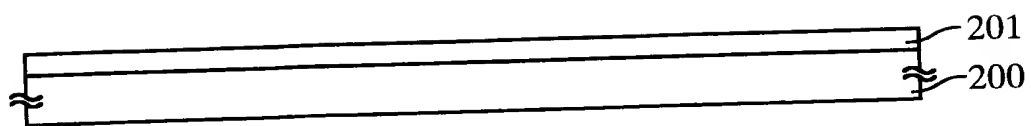


FIG. 2A

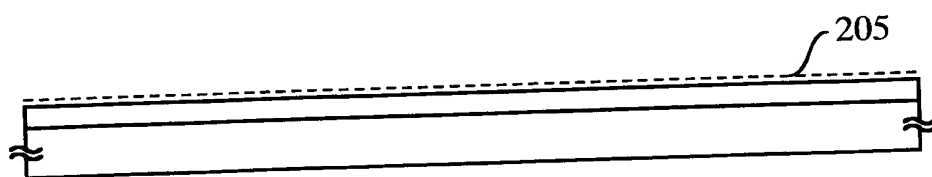


FIG. 2B

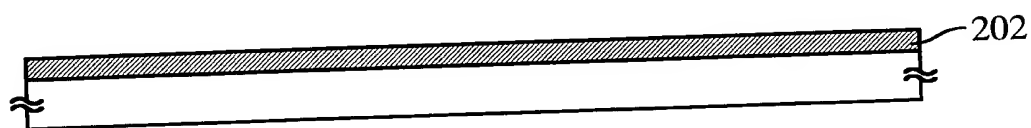


FIG. 2C

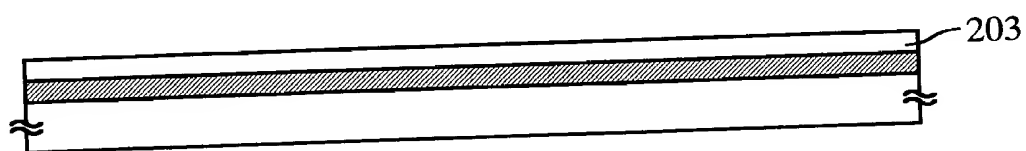


FIG. 2D

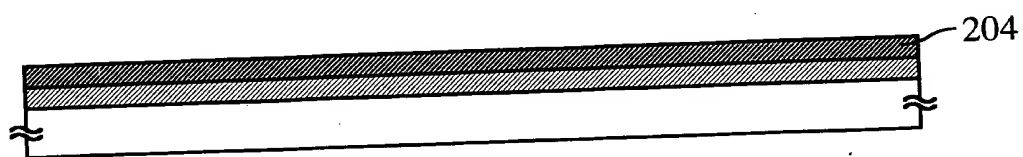


FIG. 2E



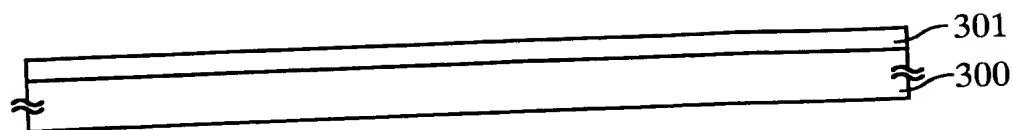


FIG. 3A

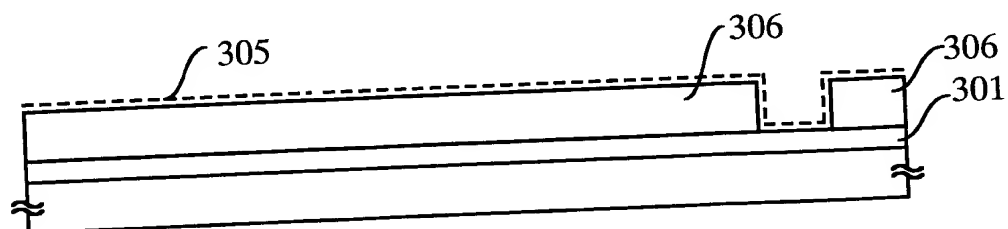


FIG. 3B

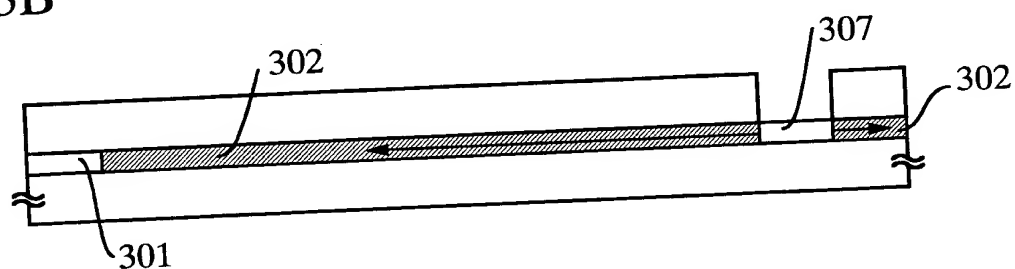


FIG. 3C

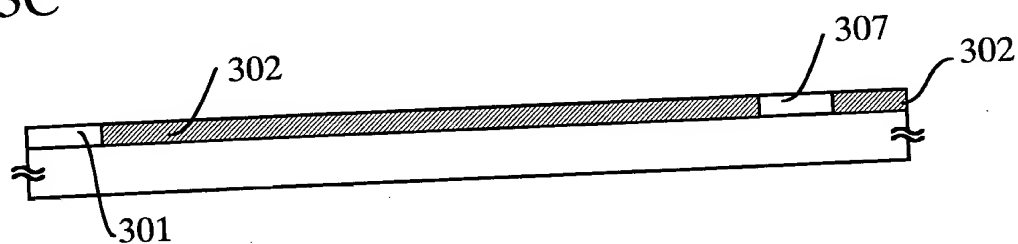


FIG. 3D

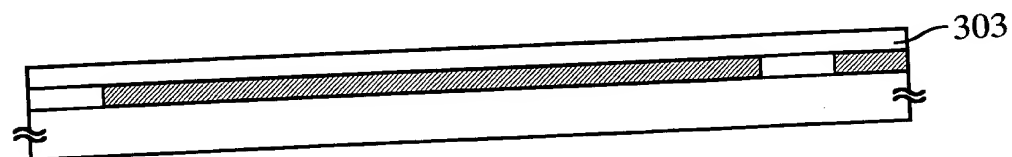


FIG. 3E

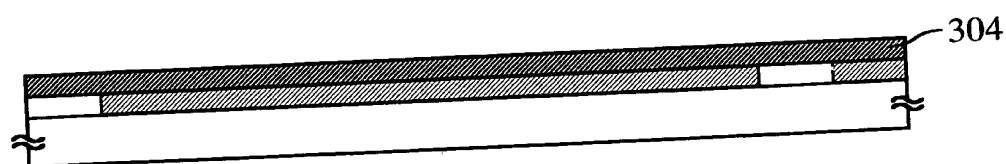
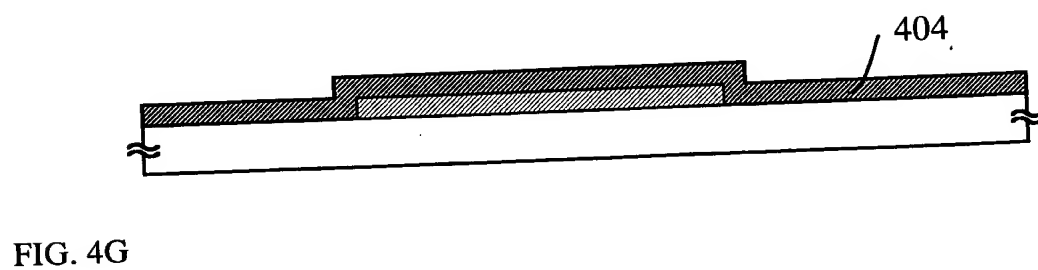
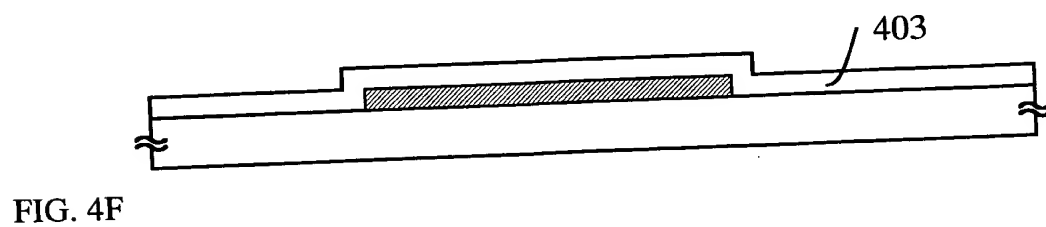
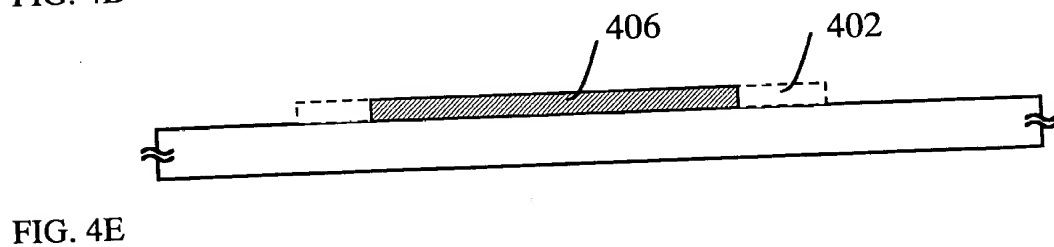
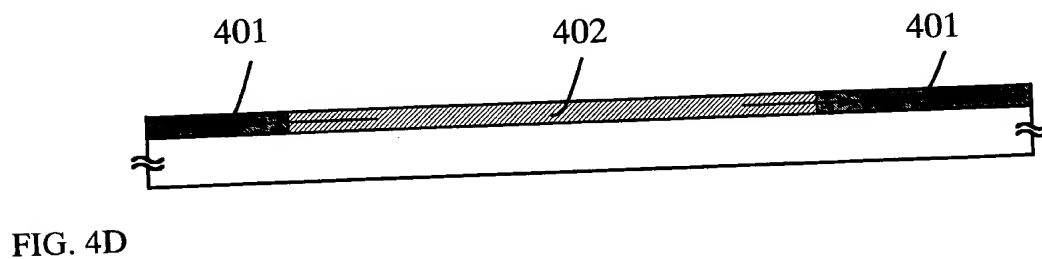
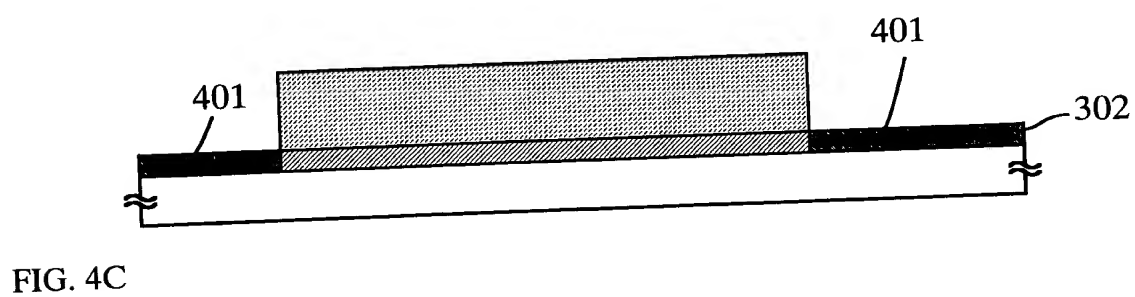
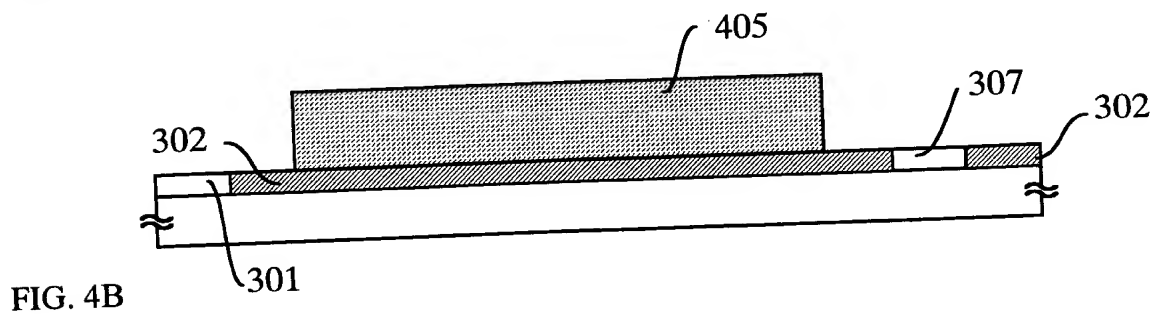
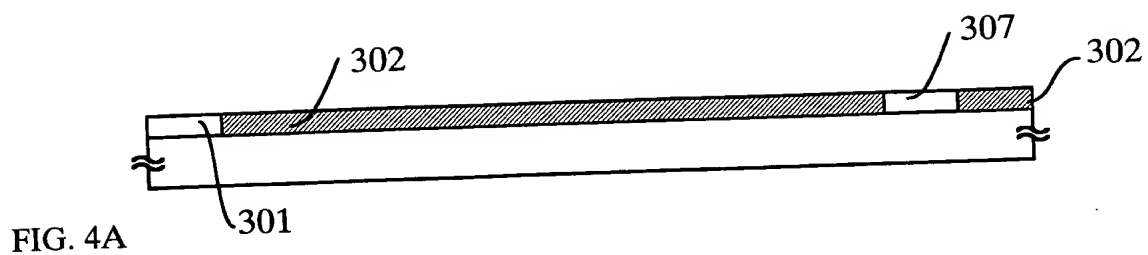


FIG. 3F



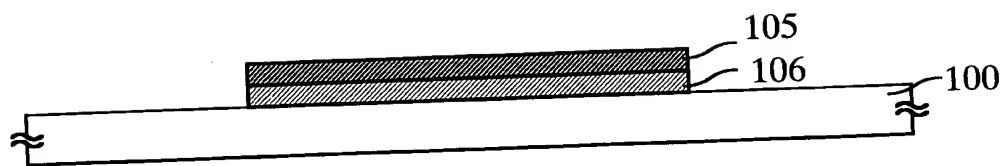


FIG. 5A

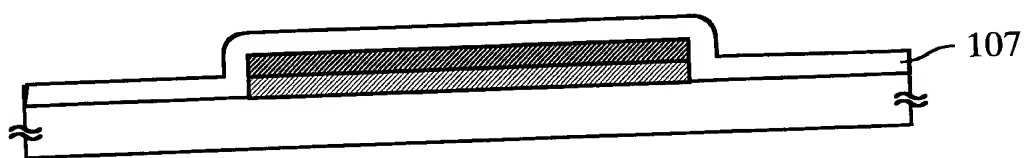


FIG. 5B

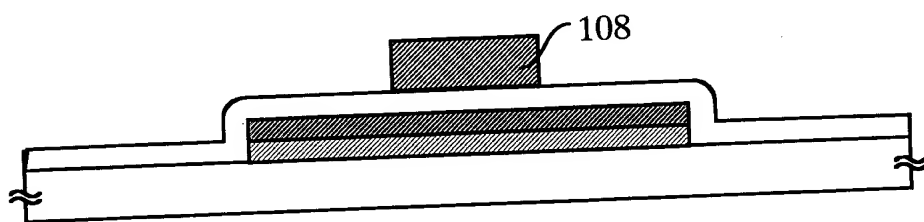


FIG. 5C

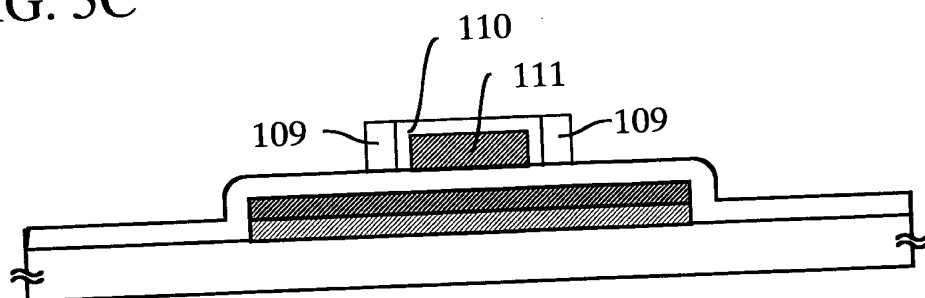


FIG. 5D

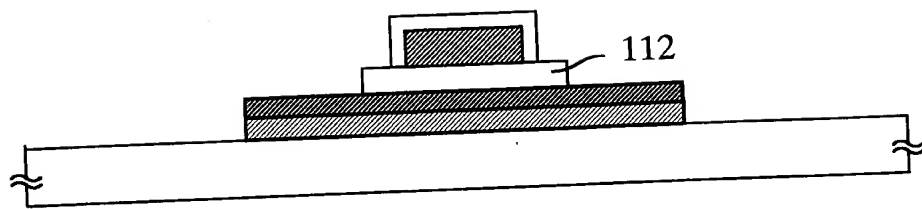


FIG. 6A

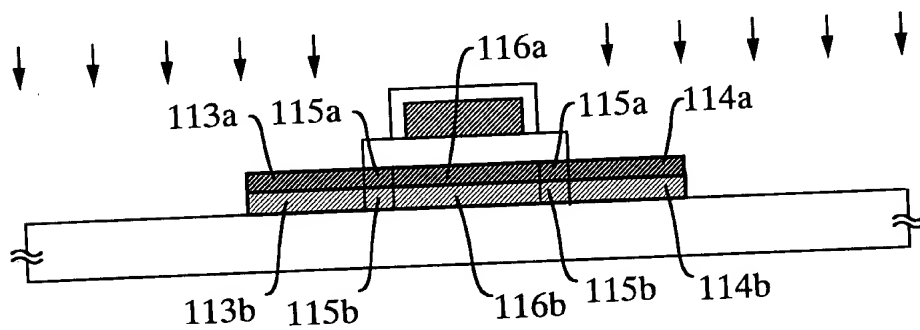


FIG. 6B

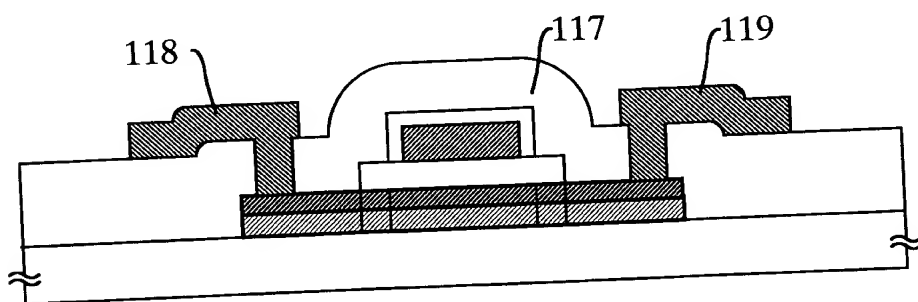


FIG. 6C

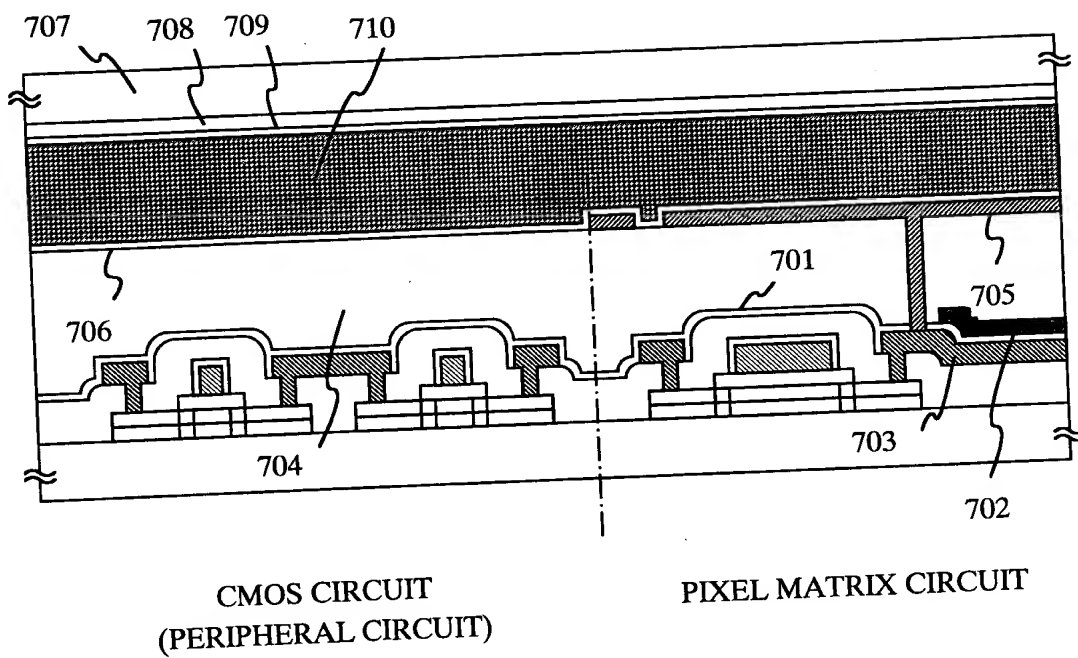


FIG. 7

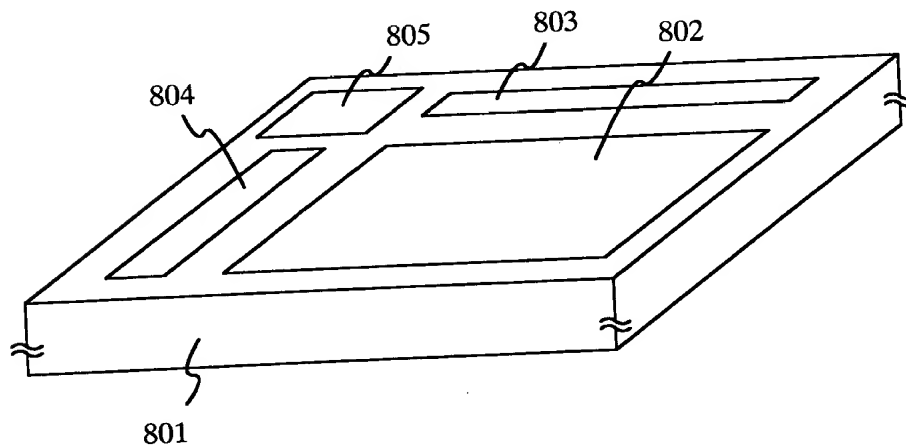


FIG. 8

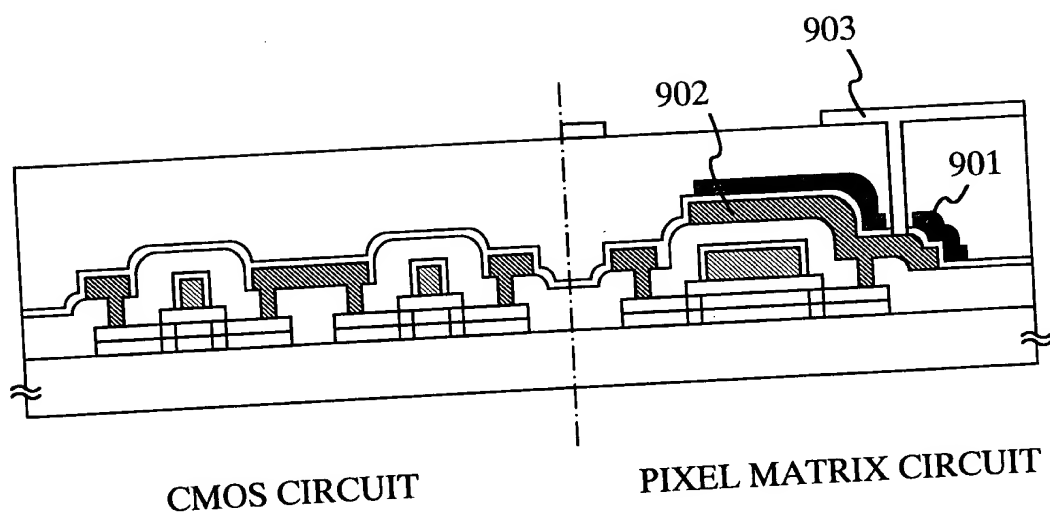


FIG. 9

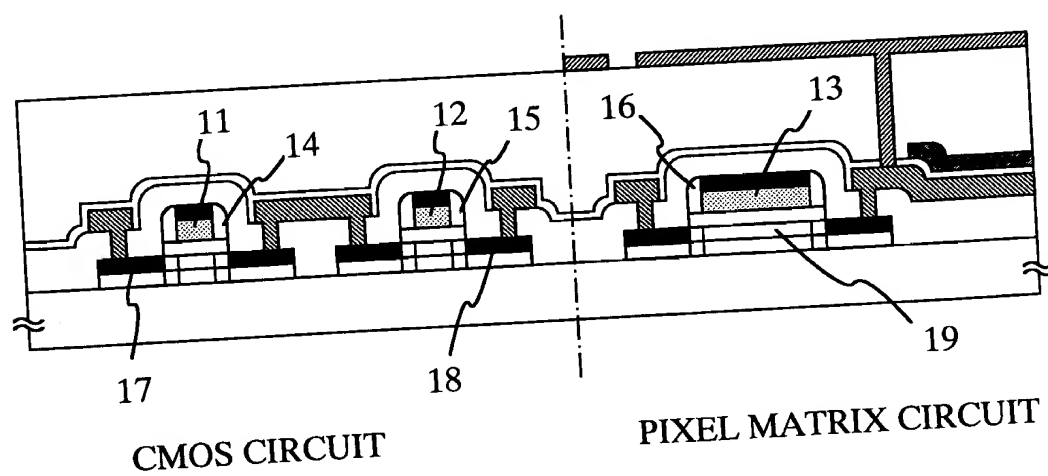


FIG. 10

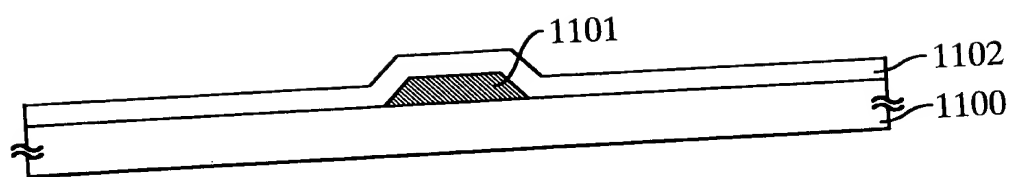


FIG. 11A

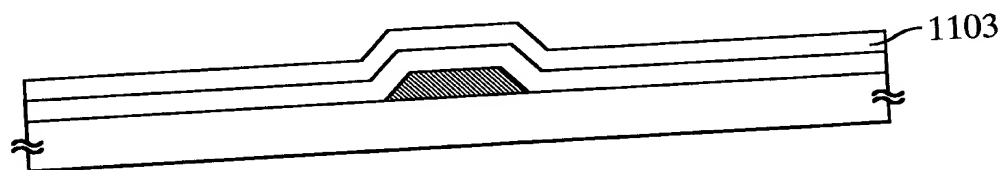


FIG. 11B

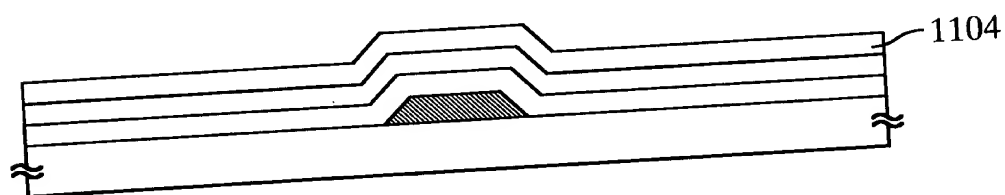


FIG. 11C

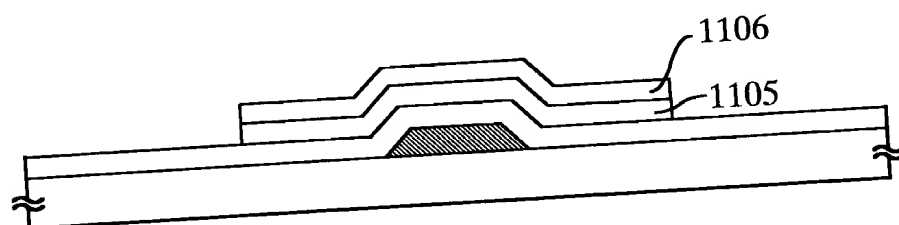


FIG. 11D

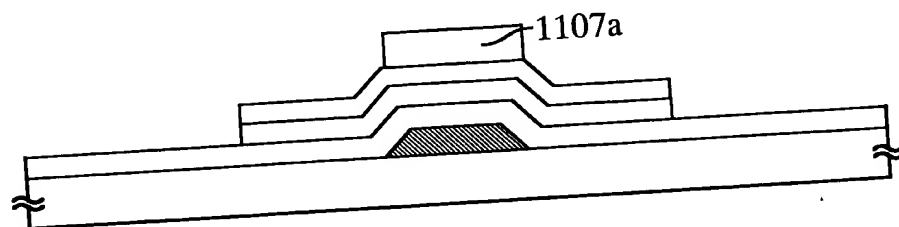


FIG. 11E

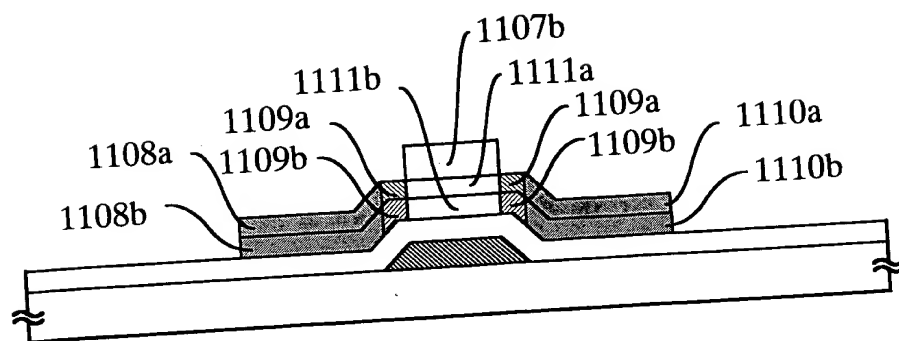


FIG. 12A

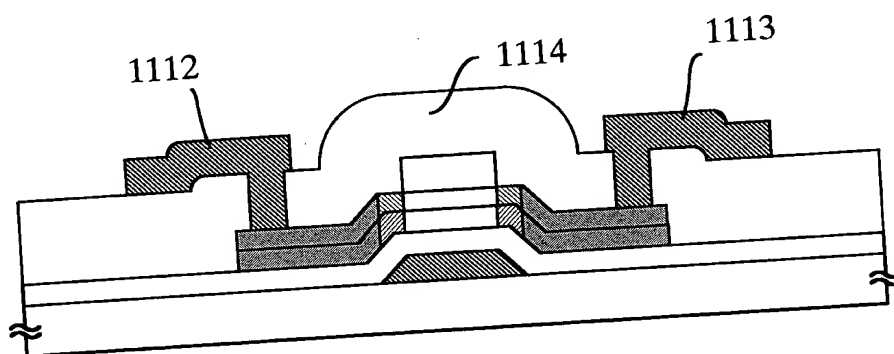


FIG. 12B

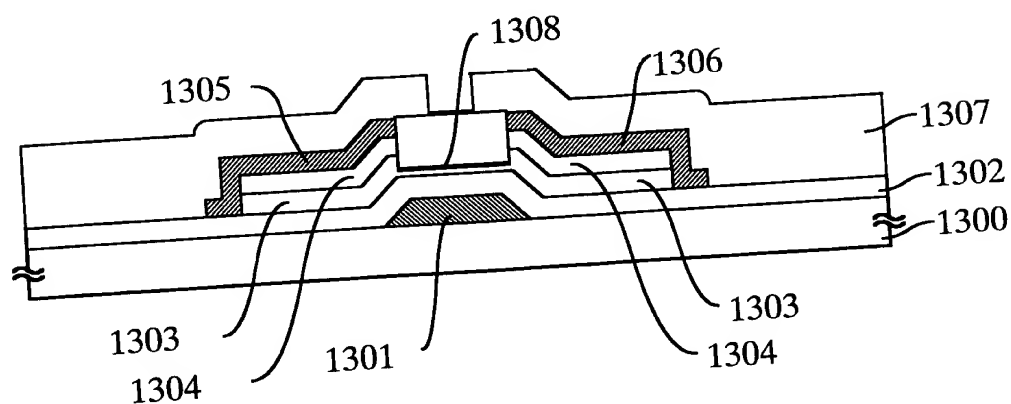


FIG. 13



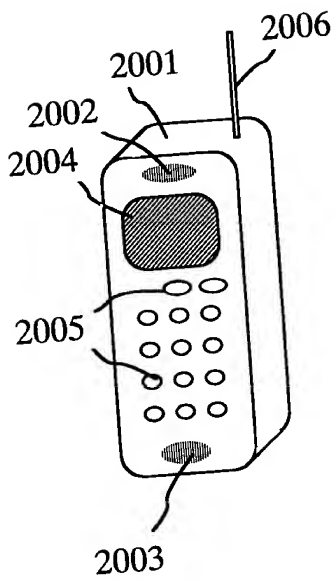


FIG. 15A

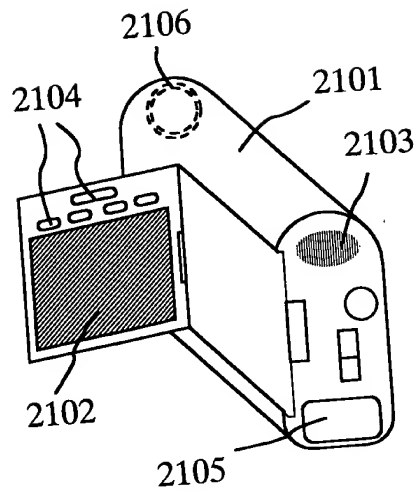


FIG. 15B

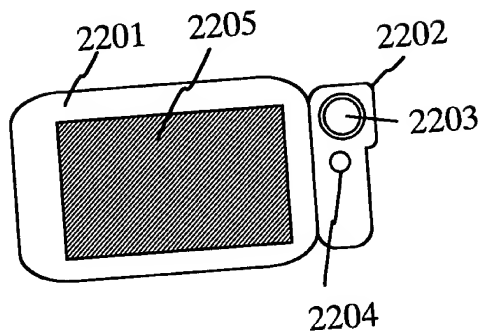


FIG. 15C

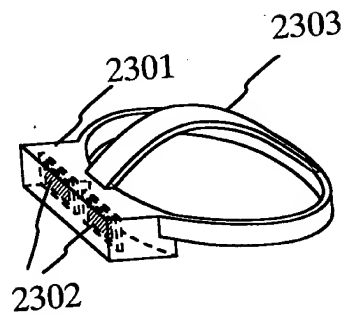


FIG. 15D

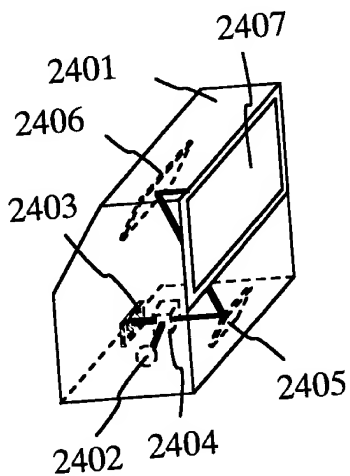


FIG. 15E

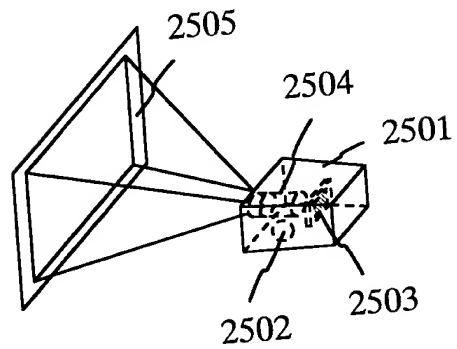


FIG. 15F

FIG. 14B



FIG. 14A

